

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月19日

出 願 番 号

Application Number:

特願2002-272589

[ ST.10/C ]:

[ JP 2002-272589 ]

出 願 人

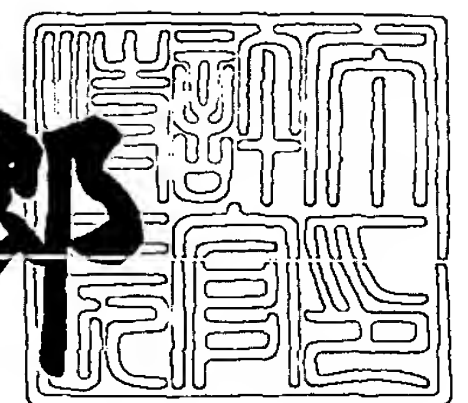
Applicant(s):

株式会社東芝

2003年 4月11日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025647

10

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体パッケージ用部材、半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 配線基板と、

前記配線基板上に設けられ、前記配線基板上の配線と電氣的に導通するパッドを有する半導体チップと、

前記配線基板上であって前記半導体チップの辺に対向する位置に設けられ、受動素子を集積し、かつ前記受動素子の両端それぞれが外部接続用パッドに接続する構造を有し、かつ前記外部接続用パッドの少なくとも一方は前記半導体チップの前記パッドに電氣的に導通する前記配線基板上の前記配線に電氣的に導通している第 2 の半導体チップと

を具備することを特徴とする半導体装置。

【請求項 2】 前記第 2 の半導体チップが集積する前記受動素子は、コンデンサ、抵抗器、およびインダクタからなる群より選択された 1 種または 2 種以上の素子であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記半導体チップは、前記パッドが前記配線基板上の前記配線と電氣的に導通するため、前記配線基板にフリップチップ接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記半導体チップは、前記パッドが前記配線基板上の前記配線と電氣的に導通するため、前記配線基板の前記配線とのボンディングワイヤでの接続を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記第 2 の半導体チップは、前記外部接続用パッドが前記配線基板上の前記配線に電氣的に導通するため、前記配線基板にフリップチップ接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記第 2 の半導体チップは、前記外部接続用パッドが前記配線基板上の前記配線に電氣的に導通するため、前記配線基板の前記配線とのボンディングワイヤでの接続を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 前記半導体チップおよび前記第 2 の半導体チップは、その厚さがそれぞれ  $60\text{ }\mu\text{m}$  以下であることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】 前記第 2 の半導体チップは、前記配線基板にフリップチップ接続されるため用いられる前記外部接続用パッドのほかに、前記配線基板へのフリップチップ接続に寄与しない外部接続用パッドを有することを特徴とする請求項 5 記載の半導体装置。

【請求項 9】 配線基板と、前記配線基板上に設けられ、前記配線基板上の配線と電氣的に導通するパッドを有する半導体チップと、前記配線基板上であって前記半導体チップの辺に対向する位置に設けられ、受動素子を集積し、かつ前記受動素子の両端それぞれが外部接続用パッドに接続する構造を有し、かつ前記外部接続用パッドの少なくとも一方は前記半導体チップの前記パッドに電氣的に導通する前記配線基板上の前記配線に電氣的に導通している第 2 の半導体チップとをそれぞれ備え、積層方向に配置された複数の半導体装置部分ユニットと、

前記複数の半導体装置部分ユニットの前記配線基板を貫通しかつ前記配線基板同士を電氣的に接続する縦方向配線部と

を具備することを特徴とする半導体装置。

【請求項 1 0】 前記複数の半導体装置部分ユニットそれぞれの前記第 2 の半導体チップが集積する前記受動素子は、コンデンサ、抵抗器、およびインダクタからなる群より選択された 1 種または 2 種以上の素子であることを特徴とする請求項 9 記載の半導体装置。

【請求項 1 1】 半導体チップを実装可能な配線基板と、

前記配線基板上であって前記実装されるべき半導体チップの辺に対向する位置に設けられ、受動素子を集積し、かつ前記受動素子の両端それぞれが外部接続用パッドに接続する構造を有し、かつ前記外部接続用パッドが前記配線基板上の配線に電氣的に導通している補助半導体チップと

を具備することを特徴とする半導体パッケージ用部材。

【請求項 1 2】 前記補助半導体チップが集積する前記受動素子は、コンデンサ、抵抗器、およびインダクタからなる群より選択された 1 種または 2 種以上の素子であることを特徴とする請求項 1 1 記載の半導体パッケージ用部材。

【請求項 1 3】 パッドと配線基板上の配線との電氣的導通がされるように前記パッドを有する半導体チップを前記配線基板上に実装する工程と、

前記配線基板上であって前記半導体チップの辺に対向する位置に、受動素子を集積しかつ前記受動素子の両端それぞれが外部接続用パッドに接続する構造を有する第2の半導体チップを、前記外部接続用パッドの少なくとも一方が前記半導体チップの前記パッドに電氣的に導通する前記配線基板上の前記配線に電氣的に導通するように、実装する工程と

を具備することを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体チップとこの半導体チップから電氣的導線を引出すための部材とを有する半導体装置、このような半導体装置に用いられる半導体パッケージ用部材、およびこのような半導体装置の製造方法に係り、特に、高周波（高速）回路用として好適な半導体装置、半導体パッケージ用部材、および半導体装置の製造方法に関する。

#### 【0002】

#### 【従来の技術】

電子機器や通信機器などでは、近年、数GHz帯以上というようなさらなる高周波・高速の動作が求められている。電子機器、通信機器で用いられる半導体装置（半導体デバイス）についてこのような周波数帯での動作性能を保証するには、半導体チップ自体の高周波・高速動作性を確保することがもちろん必要であるが、半導体チップに接続されて用いられる受動部品やこれらの接続手法の改善も必要である。

#### 【0003】

まず、受動部品としてバイパスコンデンサを実装・接続した半導体装置を例に挙げて説明する。図21は、このような従来の半導体装置の構成例を示す図である。図21において（a）は横方向から見た図であり、（b）は上方向から見た図である。図21に示すように、この半導体装置は、配線基板301上に半導体チップ302がフリップチップ実装されたものである。このフリップチップ実装のため、半導体チップ302のパッド（図示省略）上には例えば金の突起電極3



0 3 があらかじめ形設される。突起電極 3 0 3 は例えばボンディング技術により配線基板 3 0 1 上に設けられた実装用のランドに接合される。

#### 【 0 0 0 4 】

なお、符号 3 0 4 は、接合部などを大気から遮断し保護する封止樹脂であり、符号 3 0 6 は、この半導体装置を他の配線基板などに実装するための半田ボールである。半田ボール 3 0 6 は、配線基板 3 0 1 上に配された配線（図示省略）およびこれを貫通する配線（図示省略）により半導体チップ 3 0 2 の突起電極 3 0 3 に電氣的に導通している。

#### 【 0 0 0 5 】

また、受動部品としてインダクタ（表面実装用インダクタ）を接続・実装した従来の配線基板の構成例を図 2 2 に示す。図 2 2 に示すように、この例では、配線基板 3 1 1 上に、表面実装用の半導体装置 3 1 2（パッケージ品）と、表面実装用のインダクタ 3 1 4 とが互いに近接して実装されている。これらの実装は、例えば半田をリフローしてなされる。そして半導体装置 3 1 2 とインダクタ 3 1 4 とは、配線基板 3 1 1 上の配線 3 1 3 により電氣的に接続されている。

#### 【 0 0 0 6 】

##### 【発明が解決しようとする課題】

図 2 1 に示す半導体装置において、半導体チップ 3 0 2 が特に論理集積回路やメモリである場合、入出力や内部でのスイッチングにより電源供給ライン（図示省略）に過渡的な電流が流れる。特に、多数本の入出力が同時にスイッチングする場合や動作速度が高速（高周波）であるときには、過渡的な電流のエネルギーは相当に大きくなる。過渡的な電流を生じると、通常、電源供給ラインやグラウンド（図示省略）のパターンが有するインピーダンスにより半導体チップ 3 0 2 の近辺で供給電圧の変動が発生し、さらに、これにより半導体チップ 3 0 2 自体が誤動作するなど悪影響をもたらす。

#### 【 0 0 0 7 】

そこで、このような悪影響除去のため、図 2 1 に示すように、バイパスコンデンサ 3 0 5 が半導体チップ 3 0 2 の近傍の電源供給ライン、グラウンド間に設けられ、過渡的な電流の供給源となって上流側の電源供給ライン、グラウンドでの

電流変動を抑制している。

【 0 0 0 8 】

バイパスコンデンサ 3 0 5 は、電圧変動の上記抑圧理由から明らかなように半導体チップ 3 0 2 の電源端子（パッド）、グラウンド端子（パッド）の近くに設けられるほど好ましい（さらに言うと、高周波・高速用の回路では配線パターンなどが単なる導線ではなくインピーダンスをもつので、なおこのようにするのが好ましい。）が、実際には、実装スペースの関係でそのような理想に近くなることはほとんどない。例えば、図 2 1 に示す場合では、バイパスコンデンサ 3 0 5 として表面実装タイプのものを用い、これを半導体装置の側の配線基板 3 0 1 上に設けてはいるが、その角（四隅）に配置している。

【 0 0 0 9 】

このような配置になるのは、一つの理由として、半導体チップ 3 0 2 の入出力部（パッド）の配置ピッチが例えば  $80\mu\text{m}$  程度とされ得、これに対応して配線基板 3 0 1 上の配線パターンも形成されるところ、バイパスコンデンサ 3 0 5 の両端子間隔はせいぜい  $1\text{mm}$  オーダーであり、このためのバイパスコンデンサ 3 0 5 用の配線パターンを形成するにはそれ相当の実装スペースを要するからである。

【 0 0 1 0 】

そこで、バイパスコンデンサ 3 0 5 のこのような制限された実装位置で、上記のような悪影響を発生させないためには、電源供給ラインおよびグラウンドのインピーダンスをできる限り小さくするしか実際上方策がない。電源供給ラインおよびグラウンドのインピーダンスを小さくするには、例えば、半導体チップ 3 0 2 の電源端子（パッド）、グラウンド端子（パッド）をそれぞれ多数個設け、この多数個に対応する配線パターンを配線基板 3 0 1 に形成することを採用し得る。

【 0 0 1 1 】

この場合の不都合として、端子を多数個設けることによる半導体チップ 3 0 2 の大型化や、同じ面積により多くの端子を設けることによる、より一層のパッドの狭ピッチ化と配線基板 3 0 1 との接続の狭ピッチ化などの必要性の発生がある。



。したがって、さらなる高周波・高速用として図 2 1 に示すような半導体装置を用いるには限界がある。

#### 【 0 0 1 2 】

また、図 2 2 に示したような基板実装は、例えば、高周波の V C O (voltage controlled oscillator) 用回路として用いられるものであるが、次のようなことが言える。なお、ここで半導体装置 3 1 2 は例えば N M O S タイプの集積チップであり、内部で一对の M O S トランジスタを互いにフィードバック結合して非安定マルチバイブレータを構成し、この M O S トランジスタへのソース・ドレイン間電流が、インダクタ 3 1 4 を介して外部より供給されているものとする。

#### 【 0 0 1 3 】

このように構成される V C O を G H z オーダーの高周波帯で使いようとする、配線パターン 3 1 3 やインダクタ 3 1 4 における寄生素子の関与が顕著になり、発振出力の品質（位相変調ノイズのレベル）に影響が生じる。これは例えば寄生素子により電磁的な結合や誘導が生じるからである。したがって、やはりさらなる高周波・高速用として図 2 2 に示すような実装基板を用いるのは限界がある。

#### 【 0 0 1 4 】

以上のように、半導体装置と受動部品とを組み合わせ実装し用いる場合には、現状では一層の高周波化を図ろうとするとき問題がある。本発明は、上記した事情を考慮してなされたもので、半導体チップとこの半導体チップから電氣的導線を引出すための部材とを有する半導体装置、このような半導体装置に用いられる半導体パッケージ用部材、およびこのような半導体装置の製造方法において、一層の高周波・高速で用いることが可能な半導体装置、半導体パッケージ用部材、および半導体装置の製造方法を提供することを目的とする。

#### 【 0 0 1 5 】

##### 【課題を解決するための手段】

上記の課題を解決するため、本発明に係る半導体装置は、配線基板と、前記配線基板上に設けられ、前記配線基板上の配線と電氣的に導通するパッドを有する半導体チップと、前記配線基板上であって前記半導体チップの辺に対向する位置

に設けられ、受動素子を集積し、かつ前記受動素子の両端それぞれが外部接続用パッドに接続する構造を有し、かつ前記外部接続用パッドの少なくとも一方は前記半導体チップの前記パッドに電氣的に導通する前記配線基板上的前記配線に電氣的に導通している第2の半導体チップとを具備することを特徴とする。

## 【 0 0 1 6 】

すなわち、第2の半導体チップには受動素子が集積され、この受動素子の両端それぞれは、外部接続用パッドに接続されている。半導体チップと第2の半導体チップとは、半導体チップであることにおいて共通であり、それらに設けられるパッド（外部接続用パッド）の配置ピッチは、少なくとも同程度のオーダーに揃えることができる。

## 【 0 0 1 7 】

よって、半導体チップの辺に対向する位置に第2の半導体チップを近接して設けることができる。この結果、第2の半導体チップに集積された受動素子が半導体チップの極めて近傍に位置するので、高周波化に対する阻害要因を除去することが可能である。なお、ここで、上記配線基板には、例えば、ガラスエポキシ樹脂のような樹脂基板やアルミナなどのセラミックス基板を用いることができる。

## 【 0 0 1 8 】

また、本発明に係る別の半導体装置は、配線基板と、前記配線基板の上に設けられ、前記配線基板上の配線と電氣的に導通するパッドを有する半導体チップと、前記配線基板上であって前記半導体チップの辺に対向する位置に設けられ、受動素子を集積し、かつ前記受動素子の両端それぞれが外部接続用パッドに接続する構造を有し、かつ前記外部接続用パッドの少なくとも一方は前記半導体チップの前記パッドに電氣的に導通する前記配線基板上的前記配線に電氣的に導通している第2の半導体チップとをそれぞれ備え、積層方向に配置された複数の半導体装置部分ユニットと、前記複数の半導体装置部分ユニットの前記配線基板を貫通しかつ前記配線基板同士を電氣的に接続する縦方向配線部とを具備することを特徴とする。

## 【 0 0 1 9 】

この半導体装置は、上記の半導体装置を複数積層方向に配置し、それらの半導

体装置間の配線を縦方向配線部により行なうものである。なお、このように積層しても以前に増して十分に高さの低い3次元の半導体装置を得ることができる。これは、旧来の表面実装型の受動部品が必要なくなり高さ方向にも縮小されるからである。

#### 【 0 0 2 0 】

また、本発明に係る半導体パッケージ用部材は、半導体チップを実装可能な配線基板と、前記配線基板上であって前記実装されるべき半導体チップの辺に対向する位置に設けられ、受動素子を集積し、かつ前記受動素子の両端それぞれが外部接続用パッドに接続する構造を有し、かつ前記外部接続用パッドが前記配線基板上の配線に電氣的に導通している補助半導体チップとを具備することを特徴とする。

#### 【 0 0 2 1 】

この半導体パッケージ用部材は、半導体チップが実装されておらず、受動素子が集積された補助半導体チップだけがあらかじめ配線基板に実装されたものである。半導体チップを実装することにより、パッケージ化された半導体チップとして組立てることが可能である。この場合も、高周波化に対する阻害要因が除去されている。

#### 【 0 0 2 2 】

また、本発明に係る半導体装置の製造方法は、パッドと配線基板上の配線との電氣的導通がされるように前記パッドを有する半導体チップを前記配線基板上に実装する工程と、前記配線基板上であって前記半導体チップの辺に対向する位置に、受動素子を集積しかつ前記受動素子の両端それぞれが外部接続用パッドに接続する構造を有する第2の半導体チップを、前記外部接続用パッドの少なくとも一方が前記半導体チップの前記パッドに電氣的に導通する前記配線基板上の前記配線に電氣的に導通するように、実装する工程とを具備することを特徴とする。

#### 【 0 0 2 3 】

この製造方法は、上記の各半導体装置を製造し得る方法である。なお、半導体チップを実装する工程と第2の半導体チップを実装する工程とは、いずれが先であってもよい。

## 【 0 0 2 4 】

## 【発明の実施の形態】

本発明の実施態様として、前記第2の半導体チップが集積する前記受動素子は、コンデンサ、抵抗器、およびインダクタからなる群より選択された1種または2種以上の素子である。コンデンサであれば例えばバイパスコンデンサ、抵抗器であれば例えば反射防止素子、インダクタであれば例えばVCOの負荷素子として利用可能である。これらの受動素子は、半導体チップのパッド間に並列に、または半導体チップのパッドから直列に接続することができる。

## 【 0 0 2 5 】

なお、バイパスコンデンサは、例えば、タンタルオキシドを誘電体として用いた縦に積層構造のものを用いることができる。このようなタイプのコンデンサでは、例えば $1\text{ mm}^2$ 当たり $1\text{ }\mu\text{ m}$ 程度の静電容量を確保することができ、良好な周波数特性を伴って、例えば高速・多ピンの論理素子やメモリとしての半導体チップのバイパスコンデンサとして機能させ得る。これらの態様は、半導体装置部分ユニットを積層した構造の半導体装置、補助半導体チップが実装された半導体パッケージ用部材でもそれぞれ同様である。

## 【 0 0 2 6 】

また、本発明の実施態様として、前記半導体チップは、前記パッドが前記配線基板上の前記配線と電気的に導通するため、前記配線基板にフリップチップ接続されている。

## 【 0 0 2 7 】

また、実施態様として、前記半導体チップは、前記パッドが前記配線基板上の前記配線と電気的に導通するため、前記配線基板の前記配線とのボンディングワイヤでの接続を有する。

## 【 0 0 2 8 】

半導体チップは、配線基板に対してフリップチップ接続でもボンディングワイヤを用いる接続であってもいずれでもよい。半導体チップと第2の半導体チップの配置位置の近接性に影響はない。

## 【 0 0 2 9 】

また、実施態様として、前記第 2 の半導体チップは、前記外部接続用パッドが前記配線基板上の前記配線に電氣的に導通するため、前記配線基板にフリップチップ接続されている。

## 【 0 0 3 0 】

また、実施態様として、前記第 2 の半導体チップは、前記外部接続用パッドが前記配線基板上の前記配線に電氣的に導通するため、前記配線基板の前記配線とのボンディングワイヤでの接続を有する。

## 【 0 0 3 1 】

第 2 の半導体チップも、配線基板に対してフリップチップ接続でもボンディングワイヤを用いる接続であってもいずれでもよい。半導体チップと第 2 の半導体チップの配置位置の近接性に影響はない。

## 【 0 0 3 2 】

また、実施態様として、前記半導体チップおよび前記第 2 の半導体チップは、その厚さがそれぞれ  $60\ \mu\text{m}$  以下である。半導体チップおよび第 2 の半導体チップは、通常、数百  $\mu\text{m}$  程度の厚さがあるが、機械的強度を保ってできるだけ薄くすると  $60\ \mu\text{m}$  以下にすることができる。このような薄さであると、半導体装置としての高さ方向の寸法が小さくなる。特に、3次元に積層するタイプの半導体装置に応用する場合に、全体として薄型の高機能な半導体装置を得ることができる。

## 【 0 0 3 3 】

また、実施態様として、前記第 2 の半導体チップは、前記配線基板にフリップチップ接続されるため用いられる前記外部接続用パッドのほかに、前記配線基板へのフリップチップ接続に寄与しない外部接続用パッドを有する。このような第 2 の半導体チップは汎用品として製造することができる。すなわち、複数の例えばコンデンサを集積しておけば、そのうち必要なもの（コンデンサなどの端子として使用される端子（パッド））だけがフリップチップ接続に用いられる。

## 【 0 0 3 4 】

以上を踏まえ、以下では本発明の実施形態を図面を参照しながら説明する。図 1 ないし図 6 は、本発明の一実施形態に係る半導体装置を製造するプロセスを示



す図である。各（a）は平面図、各（b）および図6は正面図である。これらの図において同一相当の部位には同一番号を付している。

#### 【0035】

まず、図1に示すように、配線基板11上に必要な配線パターン12を形成する。配線パターン12は、半導体チップをフリップチップ実装するためのランド12aと、補助半導体チップ（以下では、コンデンサが集積されたチップであるとして説明する。）をフリップチップ実装するためのランド12bとを含むものとする。なお、配線パターン12は、この他に、配線基板11の貫通方向に電気的導通を行なう配線層間接続体（図示省略）にも接続されている。

#### 【0036】

半導体チップをフリップチップ実装するためのランド12aは、半導体チップに形設された突起電極の位置に対応して、この場合には多数が全体として四角形状に配置される。例えばその全体の数は、200個ないし1000個程度である。配置ピッチは例えば60 $\mu$ mないし100 $\mu$ mである。また、配線基板11の大きさは、例えば10mm角ないし25mm角である。配線パターン12の太さは、例えば30 $\mu$ mないし50 $\mu$ mである。配線基板11の材質には、すでに述べたようなものを用いることができる。

#### 【0037】

コンデンサチップをフリップチップ実装するためのランド12bは、半導体チップをフリップチップ実装するためのランド12aのごく近く（これらのチップが実装されたときに互いに干渉しないようなごく近い位置に）に配置される。なお、この実施形態では、半導体チップの各辺の少なくとも両端側の2つの端子（パッド）が電源端子とグラウンド端子とである場合を示すが、これ以外の電源端子およびグラウンド端子の配置であってもよい。

#### 【0038】

次に、図2に示すように、半導体チップ13を配線基板11にフリップチップ実装する。半導体チップ13の大きさは、例えば5mm角ないし20mm角である。半導体チップ13のフリップチップ実装のため、半導体チップ13上の端子（パッド）には金の突起電極14があらかじめ形設されている。突起電極14の



形設は、例えば、ワイヤボンディングツールを用いてパッド上に金線をボンディング接続し、接続の根元近くで金線を切断することにより行なうことができる。

#### 【 0 0 3 9 】

突起電極 1 4 が形設された半導体チップ 1 3 は、配線基板 1 1 上のランド 1 2 a に位置合わせの上、接合される。例えば、この接合には、半導体チップ 1 3 の背面を加圧・加熱可能なフリップチップボンディングツールを用いて行なうことができる。加圧に際しては超音波を利用してもよい。

#### 【 0 0 4 0 】

次に、図 3 に示すように、接合部分を大気から遮断し保護するため、配線基板 1 1 と半導体チップ 1 3 との間隙をアンダーフィル樹脂 1 5 により充填する。間隙への充填には、液状のアンダーフィル樹脂 1 5 を用いて毛管現象を利用することができる。充填後、例えば加熱してアンダーフィル樹脂 1 5 を硬化させる。

#### 【 0 0 4 1 】

次に、図 4 に示すように、半導体チップ 1 3 の各辺に近接してコンデンサチップ 1 6 をフリップチップ実装する。コンデンサチップ 1 6 のフリップチップ実装のため、コンデンサチップ 1 6 上の端子（パッド）には金の突起電極 1 7 があらかじめ形設されている。突起電極 1 7 の形設は、半導体チップ 1 3 への突起電極 1 4 の形設と同様に行なうことができる。

#### 【 0 0 4 2 】

コンデンサチップ 1 6 上への突起電極 1 7 の形設は、すべてのパッドに対して形設しなくてもよい場合も考えられる。すなわち、コンデンサチップ 1 6 としては、多数の 2 端子コンデンサを集積・形成しておき、それらそれぞれの端子としてパッドを用意しておく。このうち、半導体チップ 1 3 の電源端子、グラウンド端子の配置に対応して、実際にコンデンサとして用いるもののみ突起電極 1 7 を形設するものである。このようにすれば、コンデンサチップ 1 6 は、汎用品として供給・利用することができる。

#### 【 0 0 4 3 】

なお、当然ながら特定の半導体チップ 1 3 に合わせてパッドが用意された専用のコンデンサチップ 1 6 を用いてもよい。また、コンデンサチップ 1 6 は、単一

の 2 端子コンデンサを形成したものでよいが、この場合そのチップの大きさが、フリップチップ接続に適さないほどに小さくなり過ぎることもあり得る。このような場合は、上記で説明したように単一のコンデンサチップ 1 6 に複数の 2 端子コンデンサが集積されている形態が、取り扱いの面で有利である。

## 【 0 0 4 4 】

また、コンデンサチップ 1 6 の高さは、この実施形態では、半導体チップ 1 3 の高さより高いとしている。すなわち、このような条件の下では、半導体チップ 1 3 を先にフリップチップ実装し、後からコンデンサチップ 1 6 のフリップチップ実装を行なうと好都合である。これは、コンデンサチップ 1 6 のフリップチップボンディングツールとして半導体チップ 1 3 用のものを兼用でき、生産設備を廉価に済ませ得るからである。この場合、兼用しても、コンデンサチップ 1 6 をフリップチップ接続する場合に、フリップチップボンディングツールが半導体チップ 1 3 に干渉されることがない。

## 【 0 0 4 5 】

突起電極 1 7 が形設されたコンデンサチップ 1 6 は、配線基板 1 1 上のランド 1 2 b に位置合わせの上、接合される。この接合は、半導体チップ 1 3 のフリップチップ接続と同様の方法で行なうことができる。

## 【 0 0 4 6 】

次に、図 5 に示すように、接合部分を大気から遮断し保護するため、配線基板 1 1 とコンデンサチップ 1 6 との間隙をアンダーフィル樹脂 1 8 により充填する。間隙への充填には、液状のアンダーフィル樹脂 1 8 を用いて毛管現象を利用することができる。充填後、例えば加熱してアンダーフィル樹脂 1 8 を硬化させる。

## 【 0 0 4 7 】

次に、図 6 に示すように、半導体チップ 1 3 およびコンデンサチップ 1 6 の保護のためこれらを覆うように樹脂モールド 1 9 を例えばトランスファーモールドで形成し、かつ配線基板 1 1 の裏面側に外部接続用の半田ボール 2 0 を取りつける。以上により、本実施形態の半導体装置を得ることができる。

## 【 0 0 4 8 】

このように、本実施形態の半導体装置では、コンデンサチップ 1 6 にはコンデンサが集積され、このコンデンサの両端それぞれは、外部接続用パッドに接続されている。半導体チップ 1 3 とコンデンサチップ 1 6 とは、半導体チップであることにおいて共通であり、それらに設けられるパッド（外部接続用パッド）の配置ピッチは、少なくとも同程度のオーダーに揃えることができる。よって、半導体チップ 1 3 の辺に対向する位置にコンデンサチップ 1 6 を近接して設けることができる。この結果、コンデンサチップ 1 6 に集積されたコンデンサが半導体チップ 1 3 の極めて近傍でバイパスコンデンサとして機能され得る。

## 【 0 0 4 9 】

以上より、旧来の表面実装型のコンデンサは必要なくなり、また端子当たりの電流を減らすのみの目的のため半導体チップ 1 3 に多数個の電源端子（パッド）、グラウンド端子（パッド）を設ける必要もない。よって弊害なく高周波用の半導体装置とすることができる。さらに、半導体チップ 1 3 が先にフリップチップ接続されるので、その接続後の状態を確認しやすいなどの効果があり、特に半導体チップ 1 3 が多端子で接続により困難性がある場合に向いている。

## 【 0 0 5 0 】

なお、上記の説明では、半導体チップ 1 3 下のアンダーフィル樹脂 1 5 の充填を、そのフリップチップ接続後にすぐに行なうようにしているが、コンデンサチップ 1 6 がフリップチップ接続されたあとにまとめてアンダーフィル樹脂 1 5 と同 1 8 の充填を行ない硬化させるようにしてもよい。または、半導体チップ 1 3 下のアンダーフィル樹脂 1 5 の充填のみそのフリップチップ接続後にすぐに行ない、コンデンサチップ 1 6 がフリップチップ接続されたあとにまとめてアンダーフィル樹脂 1 5 と同 1 8 の硬化を行なうようにしてもよい。これらの場合硬化時間の節約になる。

## 【 0 0 5 1 】

次に、本発明の別の実施形態について図 7 を参照して説明する。図 7 は、本発明の別の実施形態に係る半導体装置を説明する平面図である。

## 【 0 0 5 2 】

図 7 に示すように、この半導体装置は、配線基板 3 1 に配線パターン 3 2 が設

けられ、配線パターン 3 2 が、半導体チップ 3 3 のフリップチップ接続用のランド 3 2 a と、補助半導体チップ 3 6 のフリップチップ接続用のランド 3 2 b とを有する点について上記で述べた実施形態とほぼ同様である。また、配線パターン 3 2 が、この他に、配線基板 3 1 の貫通方向に電氣的導通を行なう配線層間接続体（図示省略）にも接続されていることも同様である。

#### 【 0 0 5 3 】

この実施形態では、さらに、配線パターン 3 2 に、半導体チップ 3 3 の端子（パッド）への（からの）配線に素子を直列に挿入させるためのランド 4 1 a、4 1 b が存在する。このため、補助半導体チップ 3 6 a はコンデンサの他に抵抗器を集積しており、補助半導体チップ 3 6 a が配線基板 3 1 にフリップチップ実装されることにより、この抵抗器がランド 4 1 a とランド 4 1 b との間に接続される。このような抵抗器は、信号ラインに挿入されて信号を減衰させ反射を防止することができる。半導体チップ 3 3 が論理素子やメモリの場合には有用な構成である。

#### 【 0 0 5 4 】

このように、この実施形態では、補助半導体チップ 3 6 a に単にコンデンサを集積するだけでなく、他の素子を集積して高機能化したものである。このような高機能化は、半導体チップ 3 3 の種類に応じていろいろと考えられる。例えば、半導体チップ 3 3 が A / D 変換機や D / A 変換器を含んでいるような場合には、入出力される信号にはアナログ信号もあり得る。その場合には、例えばフィルタなどのアナログ信号処理に必要な素子を集積するようにしてもよい。

#### 【 0 0 5 5 】

次に、本発明のさらに別の実施形態について図 8 を参照して説明する。図 8 は、本発明のさらに別の実施形態に係る半導体装置を説明する平面図である。この実施形態では、補助半導体チップにインダクタをも集積した場合を説明する。

#### 【 0 0 5 6 】

図 8 に示すように、この半導体装置は、配線基板 3 1 a に配線パターン 3 2 が設けられ、配線パターン 3 2 が、半導体チップ 3 3 a のフリップチップ接続用のランド 3 2 a と、補助半導体チップ 3 6 のフリップチップ接続用のランド 3 2 b

とを有する点について上記各実施形態と同様である。また、配線パターン 3 2 が、この他に、配線基板 3 1 a の貫通方向に電氣的導通を行なう配線層間接続体（図示省略）にも接続されていることも同様である。

## 【 0 0 5 7 】

この実施形態では、さらに、配線パターン 3 2 に、半導体チップ 3 3 a の端子（パッド）への（からの）配線に受動素子（インダクタ）を直列に挿入させるためのランド 4 2、4 3、4 4 が存在する。ランド 4 2、4 4 間にインダクタが接続され、ランド 4 3、4 4 間にもインダクタが接続されるように、補助半導体チップ 3 6 b にはコンデンサの他にインダクタが集積されている。補助半導体チップ 3 6 b が配線基板 3 1 a にフリップチップ実装されることによりこの接続状態となるが、ここで、インダクタ側のランド 4 3 と半導体チップ 3 3 a 側のランド 4 3 a との間のパターン配線が極めて短距離で済み（ランド 4 2 についても同）、回路動作上の特長を得ることができる。

## 【 0 0 5 8 】

これを、以下、図 9 を参照して説明する。図 9 は、半導体チップ 3 3 a と補助半導体チップ 3 6 b との接続関係を回路図として示した一例（図 9（a））、およびその一部を等価回路として示すもの（図 9（b））である。図 9（a）に示すように、半導体チップ 3 3 a と補助半導体チップ 3 6 b との接続により VCO が構成される。

## 【 0 0 5 9 】

回路としての接続を説明すると、半導体チップ 3 3 a 内部は、ソース接地の N MOS トランジスタ Q 1、Q 2 が互いにフィードバック接続され、それらのドレイン側には、カソードコモン接続のダイオード D 1、D 2 の両アノード側が接続されている。さらに、両ドレイン側は、半導体チップ 3 3 a から外部にも延長され、パターン配線により、補助半導体チップ 3 6 b に接続される。

## 【 0 0 6 0 】

補助半導体チップ 3 6 b 内部には、インダクタ L 1、L 2 が集積されており、これらの各一端が上記両ドレイン側とそれぞれ接続される。インダクタ L 1、L 2 の他端はコモンとされて補助半導体チップ 3 6 b の外部に延長され電流源（電



圧制御電流源)の一端に接続される。電流源の他端は電源電圧に接続され、かつ電流源は電圧 $V_i$ により制御される。なお、図9(a)内に示したP42、P43、P43a、P44は、それぞれ図8内の符号42、43、43a、44に対応する。

## 【0061】

以上のような接続のVCOでは、動作周波数が高くなるほどインダクタ $L_1$ 、 $L_2$ が理想的なインダクタクタンスとして機能することが求められる。これを図9(b)を用いて説明する。

## 【0062】

図9(b)は、図9(a)内に示すインダクタ $L_2$ およびこれに接続されるパターン配線(P43側)を等価回路で示すものである(P44、P43、P43aについては図9(a)と同じ。)。図9(b)に示すように、インダクタ $L_2$ には、一般的に寄生素子として直列抵抗 $R_0$ および並列容量 $C_0$ が存在する。また、P43とP43aとの間のパターン配線には、一般的に直列のインダクタンス $L_p$ 、直列抵抗 $R_p$ 、および並列容量 $C_p$ が存在する。これらの寄生素子の影響は、高周波になるほどわずかな値でも問題となる。例えば、電磁的な結合や誘導が生じVCOの発振出力として位相変調ノイズが増大するからである。

## 【0063】

図10は、図9に示した構成のVCOの発振品質を測定した例を示す図である。図10において、符号58は、上記実施形態における発振波形のスペクトラム分析結果であり、中心周波数(5GHz)付近での位相変調ノイズレベルが相当に小さくなっている。これに対して、符号59は、インダクタ $L_1$ 、 $L_2$ として従来の表面実装型インダクタを用いた場合の発振品質を測定した例であり、中心周波数付近での位相変調ノイズレベルが大きいことがわかる。これは、上記説明の寄生素子としての値が相当に大きく電磁的な結合や誘導が生じている結果と考えられる。

## 【0064】

以上より、本実施形態では、旧来の表面実装型のインダクタを用いることを排し、代わりに補助半導体チップ36、36bを用いることにより弊害なく高周波



用として好適な半導体装置とすることができる。

#### 【 0 0 6 5 】

図 1 1 は、上記の各実施形態で述べたコンデンサチップ 1 6、3 6、および補助半導体チップ 3 6 a、3 6 b の断面構造例を拡大して模式的に示す図である。図 1 1 ( a ) はコンデンサの構造、図 1 1 ( b ) は抵抗器の構造、図 1 1 ( c 1 )、図 1 1 ( c 2 ) は、インダクタの構造である。

#### 【 0 0 6 6 】

図 1 1 ( a ) に示すように、コンデンサは、半導体基板（例えばシリコン基板）1 0 1 上に形成された絶縁層 1 0 2 上に存在する。絶縁層 1 0 2 上には、下部電極層 1 0 3 と上部電極層 1 0 5 とに挟まれた高誘電体層 1 0 4 のコンデンサ構造が形成される。下部電極層 1 0 3 は、高誘電体層 1 0 4 を貫通する導電体に接続され、この導電体は表面に存するパッドに電氣的に導通する。上部電極層 1 0 5 も一部がパッドとして表面に現れる。これらのパッド以外の露出面は絶縁層 1 0 6 により覆われ保護されている。

#### 【 0 0 6 7 】

高誘電体層 1 0 4 には、例えばタンタルオキサイドを用いることができる。また、下電極層 1 0 3 および上部電極層 1 0 5 には例えばアルミニウムを、絶縁層 1 0 2 には、シリコンオキサイドをそれぞれ用いることができる。このような材料構成により、例えば  $1 \text{ mm}^2$  当たり  $1 \mu \text{ F}$  の静電容量を得ることができる。この容量はバイパスコンデンサとして十分なものである。

#### 【 0 0 6 8 】

また、図 1 1 ( b ) に示すように、抵抗器も、半導体基板 1 0 1 上に形成された絶縁層 1 0 2 上に存在する。絶縁層 1 0 2 上には抵抗層 2 0 5 が形成され、抵抗層 2 0 5 の両端は、絶縁層 2 0 4 を貫通する導電体に接続され、この導電体は、表面に存する両端電極 2 0 3 （パッド）にそれぞれ導通する。このような抵抗器の構成は周知なものである。

#### 【 0 0 6 9 】

また、図 1 1 ( c 1 )、( c 2 ) に示すように、インダクタも半導体基板 1 0 1 上に形成された絶縁層 1 0 2 上に存在する。絶縁層 1 0 2 上には、渦巻き状の

導電体 2 5 5 が形成され、導電体 2 5 5 の両端は、絶縁層 2 0 4 を貫通する導電体に接続され、この導電体が表面に存する両端電極 2 5 3 (パッド) にそれぞれ導通する。

#### 【 0 0 7 0 】

なお、図 1 1 (a)、(b)、(c 1) で、符号 1 7 はすでに述べた突起電極であり、補助半導体チップとして上記の各構造が形成され完成した後に、配線基板 1 1、3 1、または 3 1 a へのフリップチップ接続の際にあらかじめパッド上に形設されるものである。その形設の方法についてはすでに述べた通りである。

#### 【 0 0 7 1 】

次に、本発明のさらに別の実施形態について図 1 2 を参照して説明する。図 1 2 は、本発明のさらに別の実施形態に係る半導体装置を説明する平面図である。

#### 【 0 0 7 2 】

図 1 2 に示すように、この半導体装置は、配線基板 1 3 1 に配線パターン 1 3 2 が設けられ、配線パターン 1 3 2 が、半導体チップ 1 3 3 のフリップチップ接続用のランド 1 3 2 a と、コンデンサチップ 1 3 6 のフリップチップ接続用のランド 1 3 2 b とを有する点について上記各実施形態とほぼ同様である。また、配線パターン 1 3 2 が、この他に、配線基板 3 1 の貫通方向に電氣的導通を行なう配線層間接続体 (図示省略) にも接続されていることも同様である。

#### 【 0 0 7 3 】

この実施形態は、さらに、半導体チップ 1 3 3 の端子 (パッド) の形成パターンがグリッド状になっている場合に対応するものである。このため、配線基板 1 3 1 上の配線パターン 1 3 2 は、半導体チップ 1 3 3 上の端子 (パッド) の形成パターンに対応して設けられている。端子 (パッド) がグリッド状に形成された半導体チップ 1 3 3 では、パッドの配置効率を向上し半導体チップとして小面積化し得る。なお、グリッドのピッチは、例えば  $100\mu\text{m}$  ないし  $150\mu\text{m}$  である。

#### 【 0 0 7 4 】

このような場合でも、配線基板 1 3 1 への半導体チップ 1 3 3 のフリップチップ接続は、すでに説明した方法と同様に行なうことができる。そして、グリッド

を構成する端子（パッド）のうち最外周のものの一部を電源端子、グラウンド端子とすることで、図示するように半導体チップ 1 3 3 の辺に対向する位置にコンデンサチップ 1 3 6 を設け、コンデンサチップ 1 3 6 に集積されたコンデンサを半導体チップ 1 3 3 の極めて近傍でバイパスコンデンサとして機能させ得る。グリッドを構成する端子（パッド）のうち最外周でないものが電源端子やグラウンド端子である場合でも、配線パターン 1 3 2 を回り込ませるため多少パターンが長くなるがなお良好なバイパスコンデンサとなり得る。

## 【 0 0 7 5 】

同様に、補助半導体チップ 1 3 6 は、コンデンサ、抵抗器、インダクタなどのうちから選択された 1 種または 2 種以上の受動素子を集積するものとして、高周波用として好適な半導体装置とすることができる。

## 【 0 0 7 6 】

次に、本発明のさらに別の実施形態について図 1 3 ないし図 1 7 を参照して説明する。図 1 3 ないし図 1 7 は、本発明のさらに別の実施形態に係る半導体装置を製造するプロセスを示す図である。各（a）は平面図、各（b）および図 1 7 は正面図である。これらの図において同一相当の部位には同一番号を付してあり、またすでに説明した部位と同一相当のものにも同一番号を付してある。以下、重複を避けて説明する。

## 【 0 0 7 7 】

この実施形態は、半導体チップとコンデンサチップとのフリップチップ接続手順を反対にしたものであり、コンデンサチップが先に配線基板に接続される。まず、図 1 3 に示すように、半導体チップが実装されるべき位置の各辺に対向してコンデンサチップ 1 6 a をフリップチップ実装する。コンデンサチップ 1 6 a のフリップチップ実装のため、コンデンサチップ 1 6 a 上の端子（パッド）には金の突起電極 1 7 があらかじめ形設されている。

## 【 0 0 7 8 】

次に、図 1 4 に示すように、接合部分を大気から遮断し保護するため、配線基板 1 1 とコンデンサチップ 1 6 a との間隙をアンダーフィル樹脂 1 8 により充填する。間隙への充填には、液状のアンダーフィル樹脂 1 8 を用いて毛管現象を利

用することができる。充填後、例えば加熱してアンダーフィル樹脂 1 8 を硬化させる。

## 【 0 0 7 9 】

なお、ここで、図 1 4 に示された形態は、半導体パッケージ用部材として用いることができるものである。すなわち、実装（搭載）されるべき半導体チップの品種を交換可能であり、半導体チップの電源端子とグラウンド端子だけその位置を決めておけば、それらの半導体チップに対応して汎用的に使えるからである。

## 【 0 0 8 0 】

コンデンサチップ 1 6 a が配線基板 1 1 上にフリップチップ接続されたら、次に、図 1 5 に示すように、半導体チップ 1 3 a を配線基板 1 1 にフリップチップ実装する。半導体チップ 1 3 a のフリップチップ実装のため、半導体チップ 1 3 a 上の端子（パッド）には金の突起電極があらかじめ形設されている。突起電極が形設された半導体チップ 1 3 a は、配線基板 1 1 上のランドに位置合わせの上、接合される。

## 【 0 0 8 1 】

次に、図 1 6 に示すように、接合部分を大気から遮断し保護するため、配線基板 1 1 と半導体チップ 1 3 a との間隙をアンダーフィル樹脂 1 5 により充填する。間隙への充填には、液状のアンダーフィル樹脂 1 5 を用いて毛管現象を利用することができる。充填後、例えば加熱してアンダーフィル樹脂 1 5 を硬化させる。

## 【 0 0 8 2 】

この実施形態では、半導体チップ 1 3 a の高さは、コンデンサチップ 1 6 a の高さより高いとしている。すなわち、このような条件の下では、コンデンサチップ 1 6 a を先にフリップチップ実装し、後から半導体チップ 1 3 a のフリップチップ実装を行なうと好都合である。これは、コンデンサチップ 1 6 a のフリップチップボンディングツールとして半導体チップ 1 3 a 用のものを兼用でき、生産設備を廉価に済ませ得るからである。この場合、兼用しても、半導体チップ 1 3 a をフリップチップ接続する場合に、フリップチップボンディングツールがコンデンサチップ 1 6 a に干渉されることがない。

## 【 0 0 8 3 】

なお、半導体チップ 1 3 a の高さとコンデンサチップ 1 6 a の高さがほとんど同じ場合には、それぞれ専用のフリップチップボンディングツールを用いれば、いずれを先にフリップチップ接続しても、一方のチップが他方のチップのフリップチップ接続時に干渉しないことは言うまでもない。また専用であればこれらのチップの高さ関係によらず、フリップチップ接続する順序を決めることができる。

## 【 0 0 8 4 】

アンダーフィル樹脂 1 5 が硬化されたら、次に、図 1 7 に示すように、半導体チップ 1 3 a およびコンデンサチップ 1 6 a の保護のためこれらを覆うように樹脂モールド 1 9 を例えばトランスファーモールドで形成し、かつ配線基板 1 1 の裏面側に外部接続用の半田ボール 2 0 を取りつける。以上により、本実施形態の半導体装置を得ることができる。

## 【 0 0 8 5 】

この実施形態においても、旧来の表面実装型のコンデンサは必要なくなり、また端子当たりの電流を減らすのみの目的のため半導体チップ 1 3 a に多数個の電源端子（パッド）、グラウンド端子（パッド）を設ける必要もないので、半導体装置として小型化することが可能になる。また、コンデンサチップ 1 6 a は、コンデンサのみの集積ではなく、抵抗器やインダクタ（のみ）を集積することもでき、それらの場合にはすでに述べた実施形態と同様にそれぞれ高周波用の半導体装置として好適なものになる。

## 【 0 0 8 6 】

次に、本発明のさらに別の実施形態について図 1 8、図 1 9 を参照して説明する。図 1 8、図 1 9 は、本発明のさらに別の実施形態に係る半導体装置を製造するプロセスを示す図である。図 1 8（a）は平面図、同（b）は正面図、図 1 9 は、図 1 8 の続図であって、正面図である。これらの図において同一相当の部位には同一番号を付してあり、またすでに説明した部位と同一相当のものにも同一番号を付してある。以下、重複を避けて説明する。

## 【 0 0 8 7 】



この実施形態では、半導体チップ 1 3 b およびコンデンサチップ 1 6 b とをそれぞれ、フリップチップ接続ではなくボンディングワイヤにより配線基板 5 1 に電氣的に接続する。

## 【 0 0 8 8 】

すなわち、まず、図 1 8 に示すように、配線基板 5 1 上の所定の位置に半導体チップ 1 3 b とコンデンサチップ 1 6 b とを機能面を上にして配置・固定する。固定するには、例えば周知の接着樹脂を接着層として用いることができる。

## 【 0 0 8 9 】

配線基板 5 1 上には、配線パターン 5 2 が形成されており、配線パターン 5 2 は、半導体チップ 1 3 b とボンディングワイヤ接続するためのランド 5 2 a と、補助半導体チップ（コンデンサチップ） 1 6 b とボンディングワイヤ接続するためのランド 5 2 b とを含む。なお、配線パターン 5 2 は、この他に、配線基板 5 1 の貫通方向に電氣的導通を行なう配線層間接続体（図示省略）にも接続されている。

## 【 0 0 9 0 】

半導体チップ 1 3 b 上には、端子（パッド） 1 3 0 がその周縁に沿って形成されている。また、コンデンサチップ 1 6 b 上には、端子（パッド） 1 6 0 が複数形成されている。

## 【 0 0 9 1 】

次に、図 1 9 （a）に示すように、半導体チップ 1 3 b 上のパッド 1 3 0 と配線基板 5 1 上のランド 5 2 a とをボンディングワイヤ 6 3 で接続する。また、同様にコンデンサチップ 1 6 b 上のパッド 1 6 0 と配線基板上のランド 5 2 b とをボンディングワイヤ 6 3 で接続する。このようなボンディング接続は、ボンディングツールを用いて周知の方法により行なうことができる。

## 【 0 0 9 2 】

次に、図 1 9 （b）に示すように、半導体チップ 1 3 b およびコンデンサチップ 1 6 b の保護のためこれらを覆うように樹脂モールド 5 9 を例えばトランスファーマールドで形成し、かつ配線基板 5 1 の裏面側に外部接続用の半田ボール 2 0 を取りつける。以上により、本実施形態の半導体装置を得ることができる。



## 【 0 0 9 3 】

この実施形態の半導体装置でも、コンデンサチップ 1 6 b にはコンデンサが集積され、このコンデンサの両端それぞれは、外部接続用パッドに接続されている。半導体チップ 1 3 b とコンデンサチップ 1 6 b とは、半導体チップであることにおいて共通であり、それらに設けられるパッド（外部接続用パッド）の配置ピッチは、少なくとも同程度のオーダーに揃えることができる。よって、半導体チップ 1 3 b の辺に対向する位置にコンデンサチップ 1 6 b を近接して設けることができる。この結果、コンデンサチップ 1 6 b に集積されたコンデンサが半導体チップ 1 3 b の極めて近傍でバイパスコンデンサとして機能され得ることには変わりがない。

## 【 0 0 9 4 】

したがって、旧来の表面実装型のコンデンサは必要なくなり、また端子当たりの電流を減らすのみの目的のため半導体チップ 1 3 b に多数個の電源端子（パッド）、グラウンド端子（パッド）を設ける必要もないので、半導体装置として小型化することが可能になる。また、フリップチップ接続より簡単なワイヤボンディング技術に基づいておりコスト低減が見込める。また、コンデンサチップ 1 6 b は、コンデンサのみの集積ではなく、抵抗器やインダクタ（のみ）を集積することもでき、それらの場合にはすでに述べた実施形態と同様にそれぞれ高周波用の半導体装置として好適なものになる。

## 【 0 0 9 5 】

次に、本発明のさらに別の実施形態について図 2 0 を参照して説明する。図 2 0 は、本発明のさらに別の実施形態に係る半導体装置の構造を示す図であり、図 2 0 ( a ) は分解図、図 2 0 ( b ) は完成図である。この実施形態では、先に述べた実施形態に係る半導体装置を基礎として 3 次元に組立て、より高機能・高集積な半導体装置を得るものである。

## 【 0 0 9 6 】

図 2 0 ( a ) において、符号 7 1、7 1 a の部品は、経た製造工程として図 5 または図 1 6 に示したものとほぼ同様である。ここでは、3 次元に組立てるのに空間利用効率がよいように、半導体チップ 1 3 ( 1 3 a ) とコンデンサチップ 1

6 (1 6 a) の高さをほぼ同じにしている。また、半導体チップ 1 3 (1 3 a) とコンデンサチップ 1 6 (1 6 a) の高さ自体もできるだけ低くするようにしている。

【 0 0 9 7 】

一般には半導体チップの厚さ（高さ）は数百  $\mu\text{m}$  程度であるが、機械的強度を保ってできるだけ薄くすると、60  $\mu\text{m}$  以下（例えば 50  $\mu\text{m}$ ）程度にすることができる。このような薄化は、半導体製造プロセスを終えた半導体ウエハにおいて例えばその裏面を研削することにより行なうことができる。この研削に先立ち機能面のダイシング線に沿って溝を掘っておくと、上記研削によりダイシングも同時に行なえる。

【 0 0 9 8 】

符号 7 2、7 2 a の部品は、スペーサとして機能する基板であり、形状として棒状である。符号 7 3 の部品は、組立てられた半導体基板を別の基板に実装するときにこれに直接対向する基板である。符号 7 4 は、基板 7 2、7 2 a、7 3、および部品 7 1 a を貫通して設けられた配線層間接続体である。これらの配線層間接続体は、図示するように、それら両面の配線層に電氣的に導通されている。

【 0 0 9 9 】

図 2 0 (a) に示すように配置された各部品は、図 2 0 (b) に示すように組立てられる。ここで、上記配線層間接続体は、配線層同士の接続により互いに導通を確立する（全体として縦方向配線部となる。）。このような配線層同士の接続は、例えばクリーム半田をあらかじめ配線層の必要な部位に塗布しておきこれをリフローさせることにより行なうことができる。

【 0 1 0 0 】

そして、半田ボール 2 0 を基板 7 3 に取り付け、基板 7 2、7 2 a により確保された間隙を充填樹脂 7 5 で充填する。これにより、本実施形態に係る半導体装置を得ることができる。ここで、部品 7 1、7 1 a に用いられている配線基板の厚さは例えば 50  $\mu\text{m}$  程度にすることができる。よって、3次元に組立てられているが全体として極めて薄い半導体装置が得られる。

【 0 1 0 1 】

なお、ここでは、用いる半導体チップが2層のものを例に挙げて説明したが、数チップ（例えば4層、5層）の積層・組立てが可能である。例えば5層であっても全体で2mm以下（半田ボール20を含まず）に組立て得る。この実施形態では、このように3次元の構造を持つ半導体チップにおいて小型化（薄型化）を実現できる。

#### 【0102】

##### 【発明の効果】

以上詳述したように、本発明によれば、第2の半導体チップには受動素子が集積され、この受動素子の両端それぞれは、外部接続用パッドに接続されている。半導体チップと第2の半導体チップとは、半導体チップであることにおいて共通であり、それらに設けられるパッド（外部接続用パッド）の配置ピッチは、少なくとも同程度のオーダーに揃えることができる。よって、半導体チップの辺に対向する位置に第2の半導体チップを近接して設けることができ、この結果、第2の半導体チップに集積された受動素子が半導体チップの極めて近傍に位置するので、高周波化に対する阻害要因を除去することが可能である。

##### 【図面の簡単な説明】

##### 【図1】

本発明の一実施形態に係る半導体装置を製造するプロセスを示す図。

##### 【図2】

図1の続図であって、本発明の一実施形態に係る半導体装置を製造するプロセスを示す図。

##### 【図3】

図2の続図であって、本発明の一実施形態に係る半導体装置を製造するプロセスを示す図。

##### 【図4】

図3の続図であって、本発明の一実施形態に係る半導体装置を製造するプロセスを示す図。

##### 【図5】

図4の続図であって、本発明の一実施形態に係る半導体装置を製造するプロセ

スを示す図。

【図 6】

図 5 の続図であって、本発明の一実施形態に係る半導体装置を製造するプロセスを示す図。

【図 7】

本発明の別の実施形態に係る半導体装置を説明する平面図。

【図 8】

本発明のさらに別の実施形態に係る半導体装置を説明する平面図。

【図 9】

図 8 内に示した半導体チップ 3 3 a と補助半導体チップ 3 6 b との接続関係を回路図として示した一例 ( a ) 、およびその一部を等価回路として示す回路図 ( b ) 。

【図 1 0】

図 9 に示した構成の V C O の発振品質を測定した例を示す図。

【図 1 1】

上記の各実施形態で述べたコンデンサチップ 1 6 、 3 6 、および補助半導体チップ 3 6 a 、 3 6 b の断面構造を拡大して模式的に示す図。

【図 1 2】

本発明のさらに別の実施形態に係る半導体装置を説明する平面図。

【図 1 3】

本発明のさらに別の実施形態に係る半導体装置を製造するプロセスを示す図。

【図 1 4】

図 1 0 の続図であって、本発明のさらに別の実施形態に係る半導体装置を製造するプロセスを示す図。

【図 1 5】

図 1 1 の続図であって、本発明のさらに別の実施形態に係る半導体装置を製造するプロセスを示す図。

【図 1 6】

図 1 5 の続図であって、本発明のさらに別の実施形態に係る半導体装置を製造

するプロセスを示す図。

【図 1 7】

図 1 6 の続図であって、本発明のさらに別の実施形態に係る半導体装置を製造するプロセスを示す図。

【図 1 8】

本発明のさらに別の実施形態に係る半導体装置を製造するプロセスを示す図。

【図 1 9】

図 1 8 の続図であって、本発明のさらに別の実施形態に係る半導体装置を製造するプロセスを示す図。

【図 2 0】

本発明のさらに別の実施形態に係る半導体装置の構造を示す図。

【図 2 1】

従来の半導体装置の構成例を示す図。

【図 2 2】

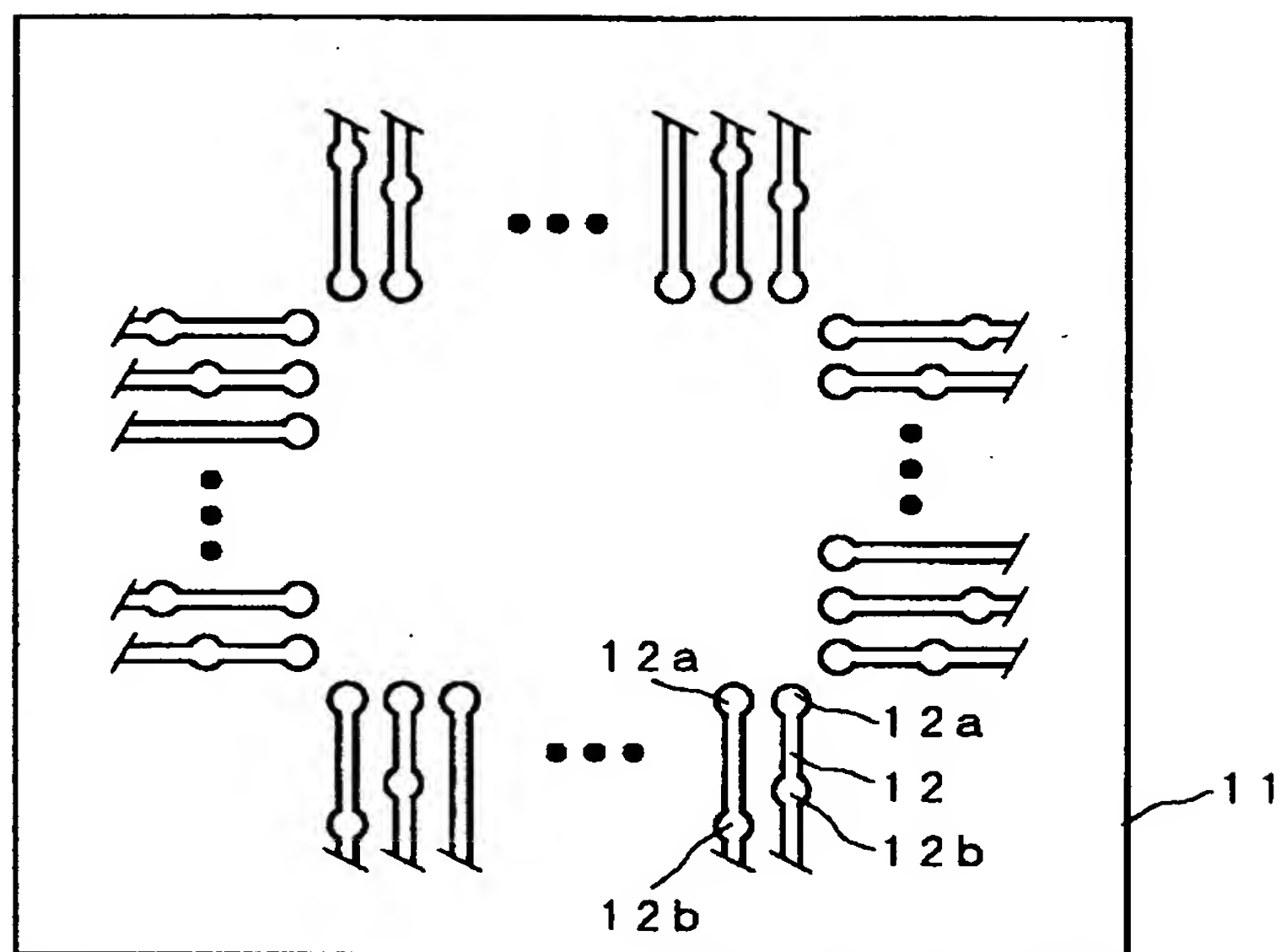
従来の別の半導体装置の構成例を示す図。

【符号の説明】

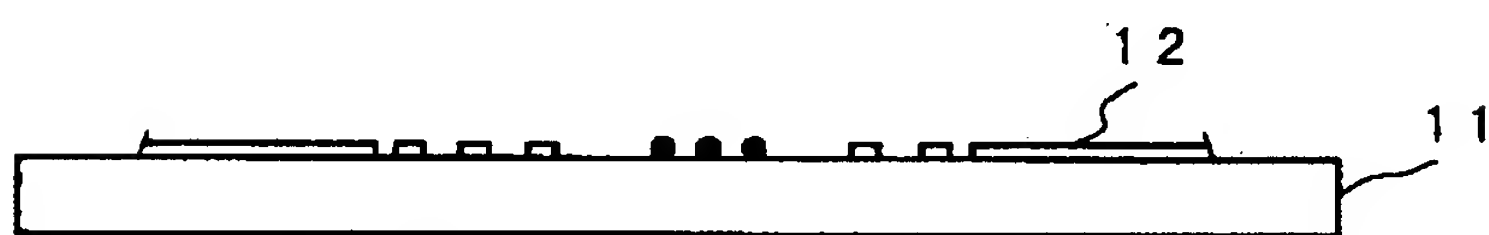
1 1、3 1、3 1 a、1 3 1、5 1…配線基板 1 2、3 2、1 3 2、5 2…  
配線パターン 1 2 a、1 2 b、3 2 a、3 2 b、4 1 a、4 1 b、4 2、4 3  
、4 3 a、4 4、5 2 a、5 2 b、1 3 2 a、1 3 2 b…ランド 1 3、1 3 a  
、1 3 b、3 3、3 3 a、1 3 3…半導体チップ 1 4…突起電極 1 5…アン  
ダーフィル樹脂 1 6、1 6 a、1 6 b、3 6、3 6 a、3 6 b、1 3 6…補助  
半導体チップ（コンデンサチップ） 1 7…突起電極 1 8…アンダーフィル樹  
脂 1 9、5 9…モールド樹脂 2 0…半田ボール 3 6 a…補助半導体チップ  
6 3…ボンディングワイヤ 7 1、7 1 a…半導体装置部品 7 2、7 2 a…  
スペーサ基板 7 3…基板 7 4…配線層間接続体 7 5…充填樹脂 1 0 1…  
半導体基板 1 0 2…絶縁層 1 0 3…下部電極層 1 0 4…高誘電体層 1 0  
5…上部電極層 1 0 6…絶縁層 1 3 0…端子（パッド） 1 6 0…端子（パ  
ッド） 2 0 3、2 5 3…両端電極 2 0 4…絶縁層 2 0 5…抵抗層 2 5 5  
…導電体

【書類名】 図面

【図 1】



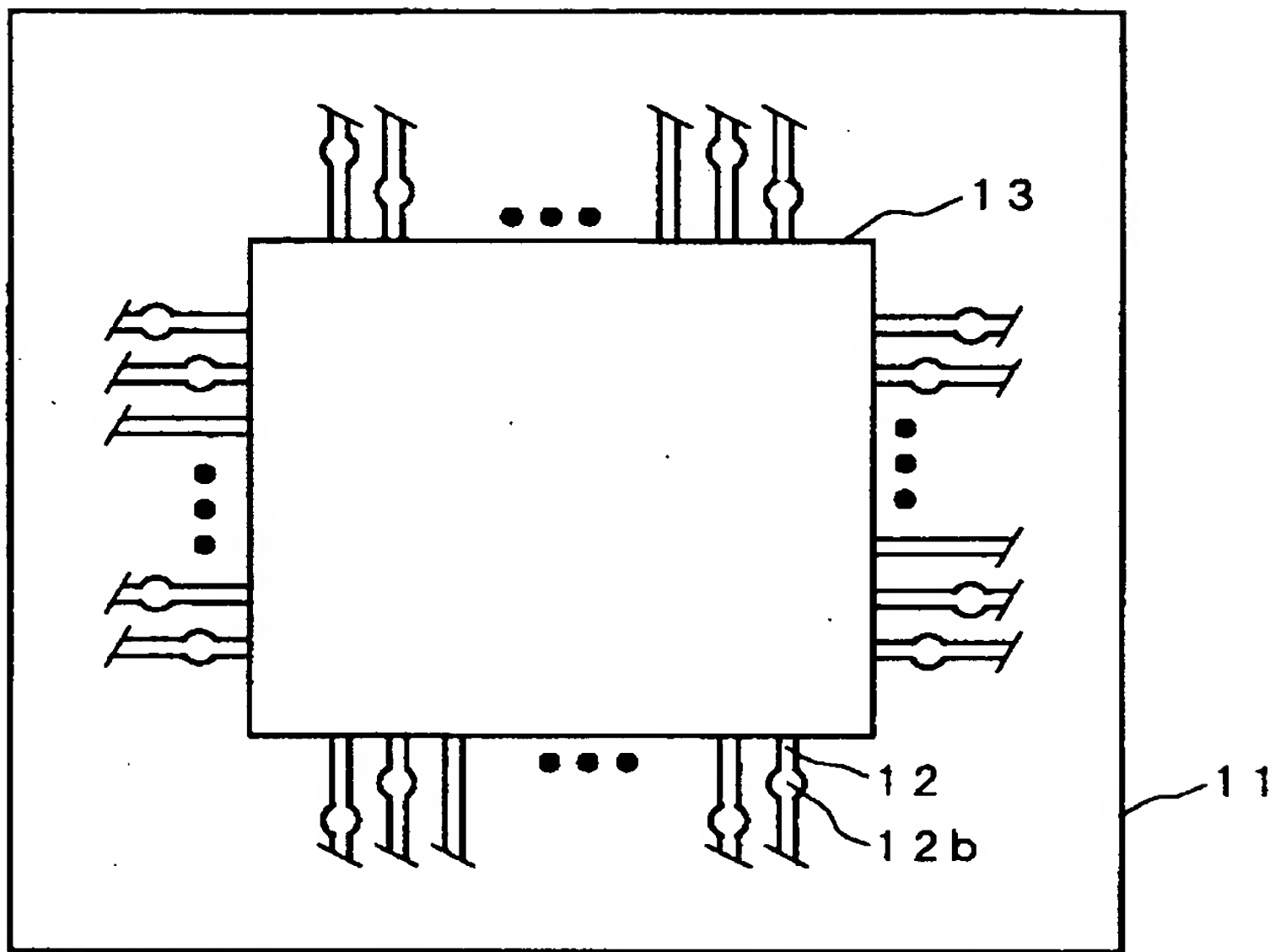
(a)



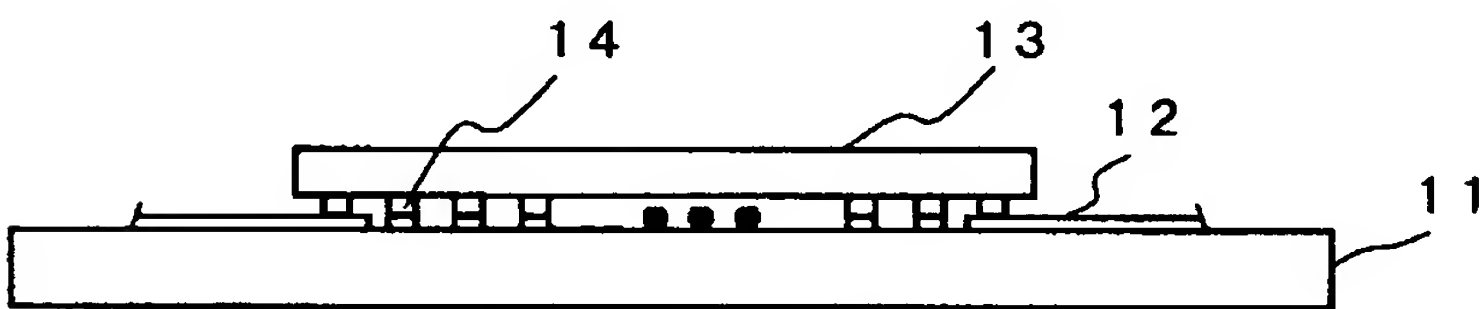
(b)



【図 2】

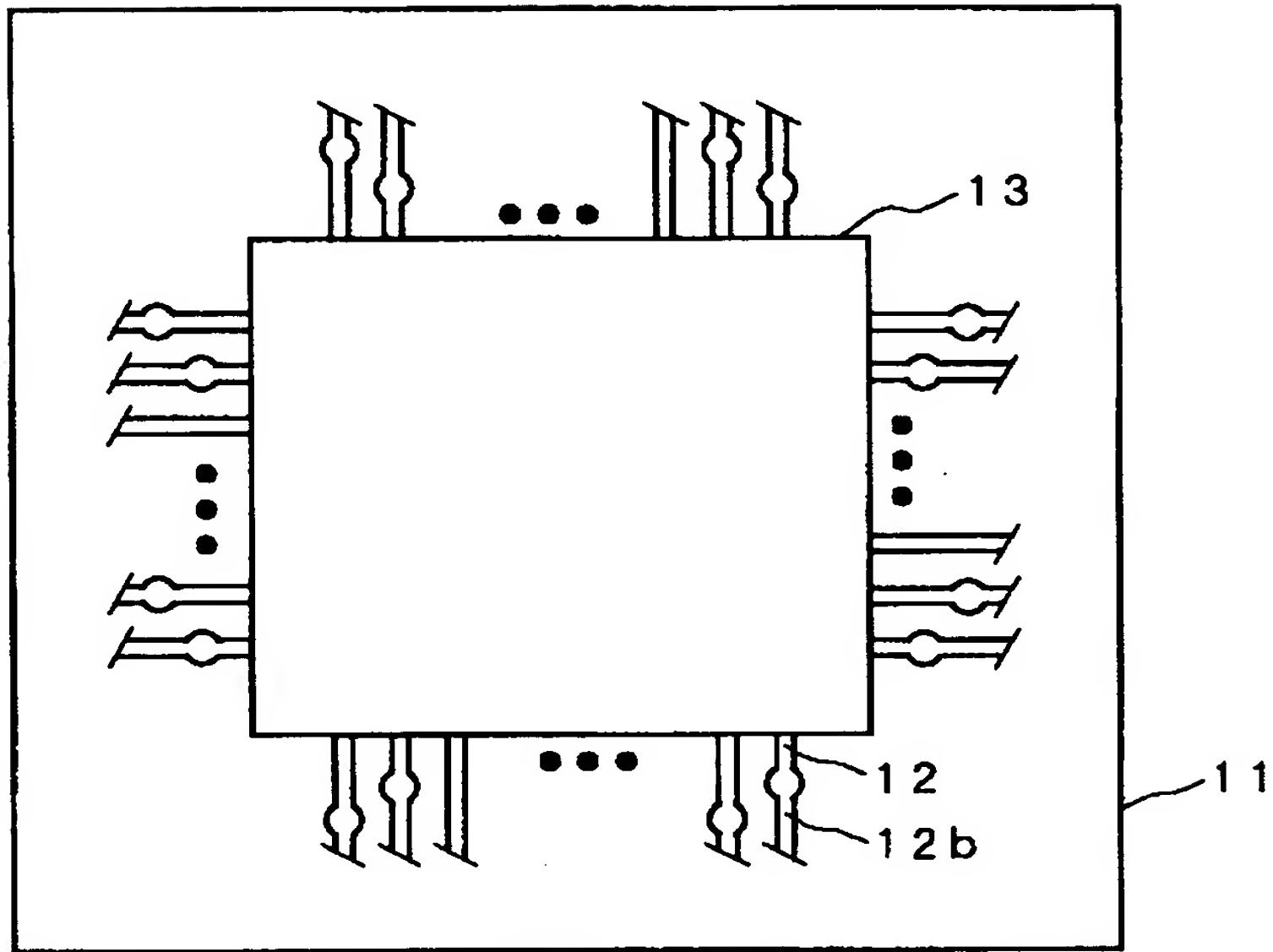


(a)

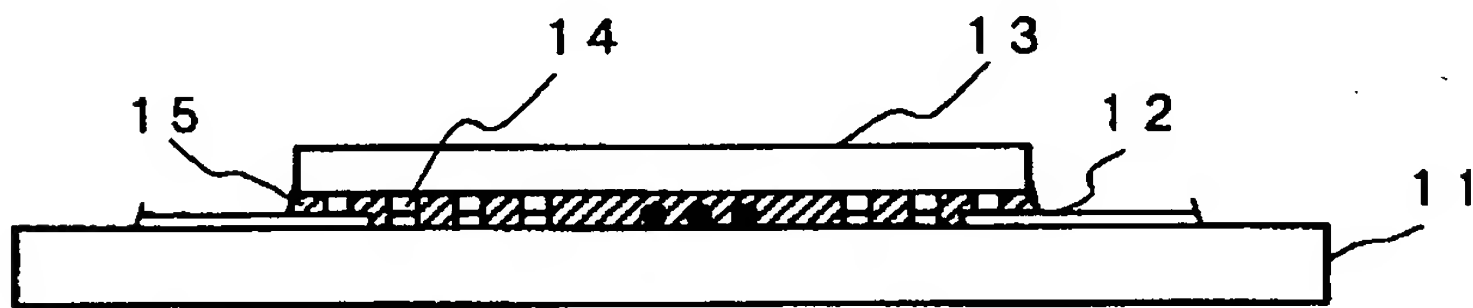


(b)

【図 3】

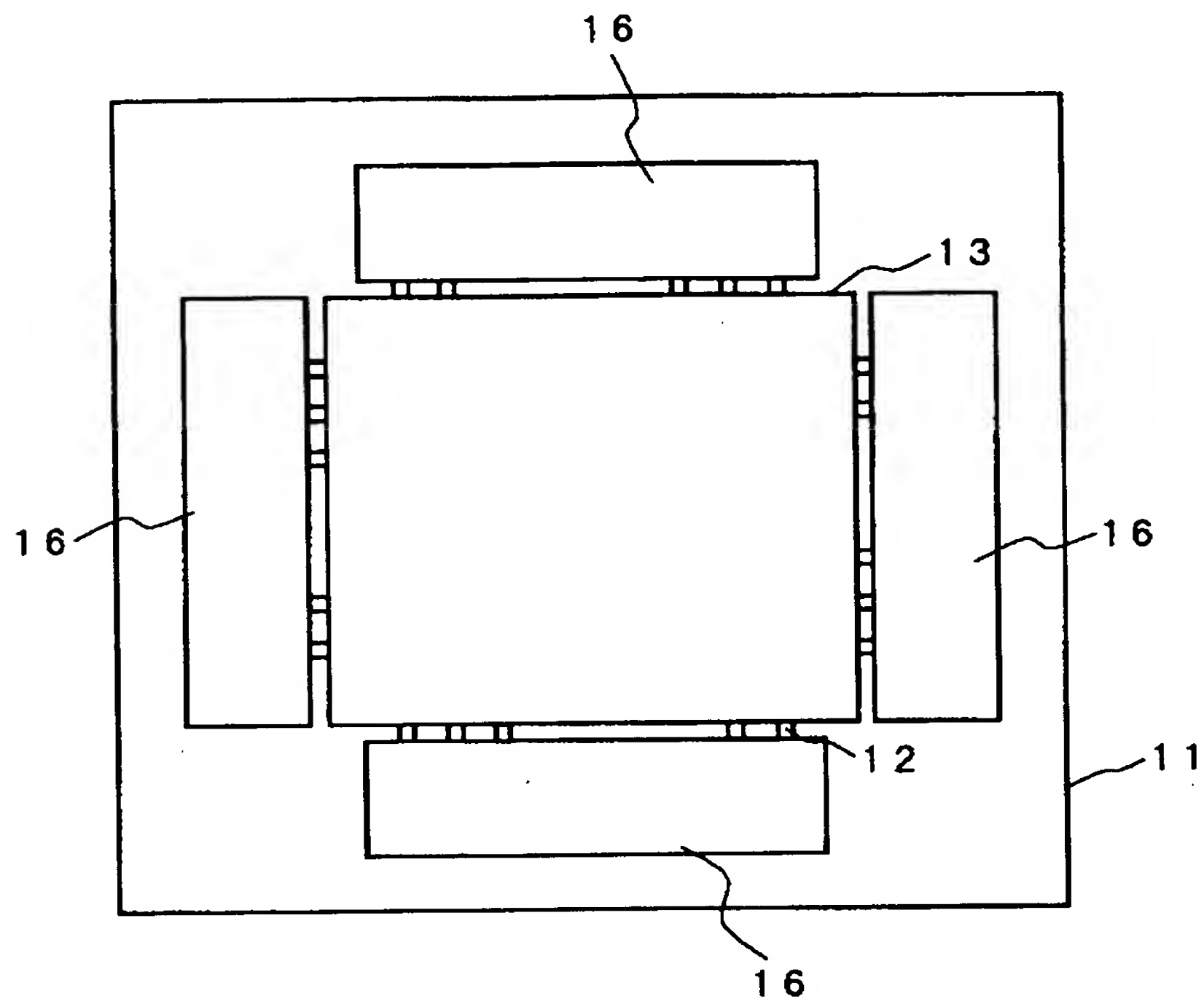


(a)

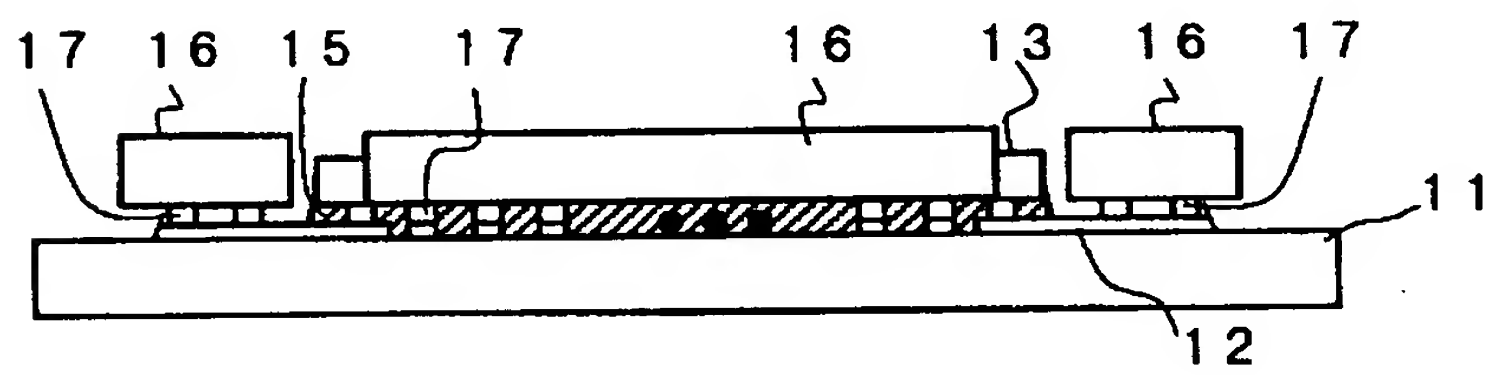


(b)

【図4】

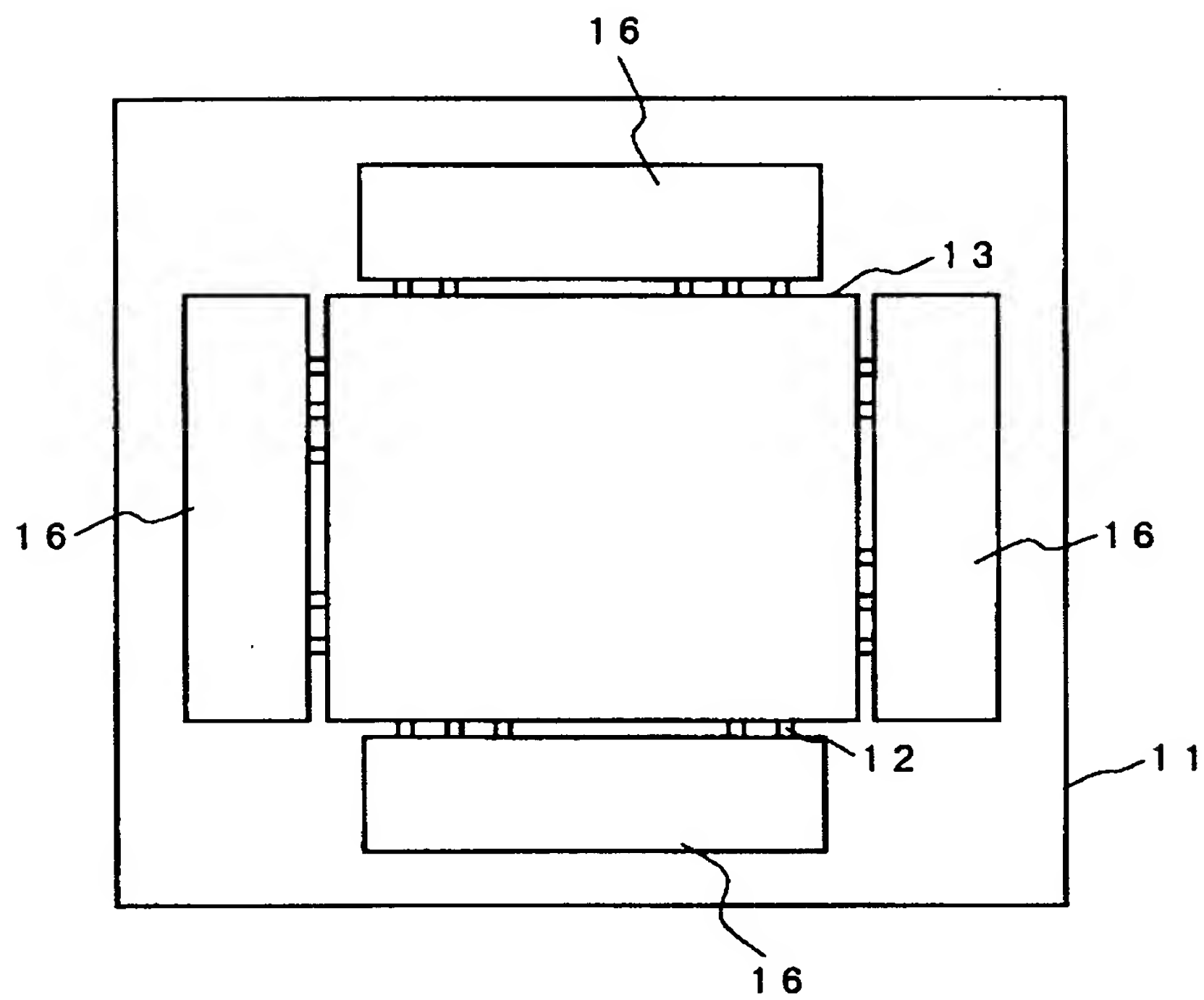


(a)

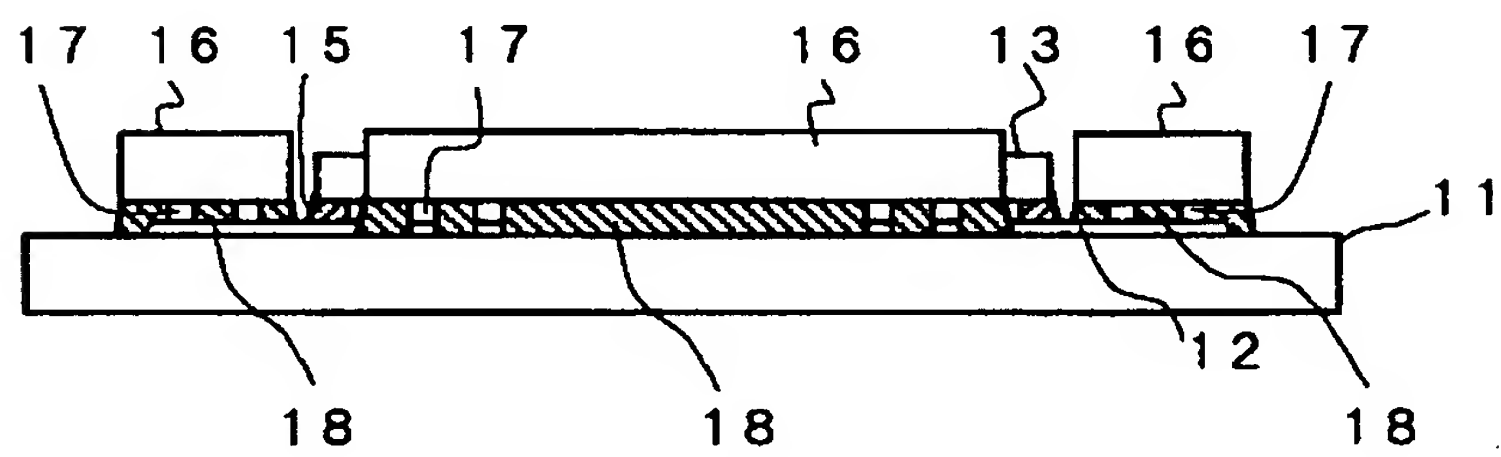


(b)

【図 5】

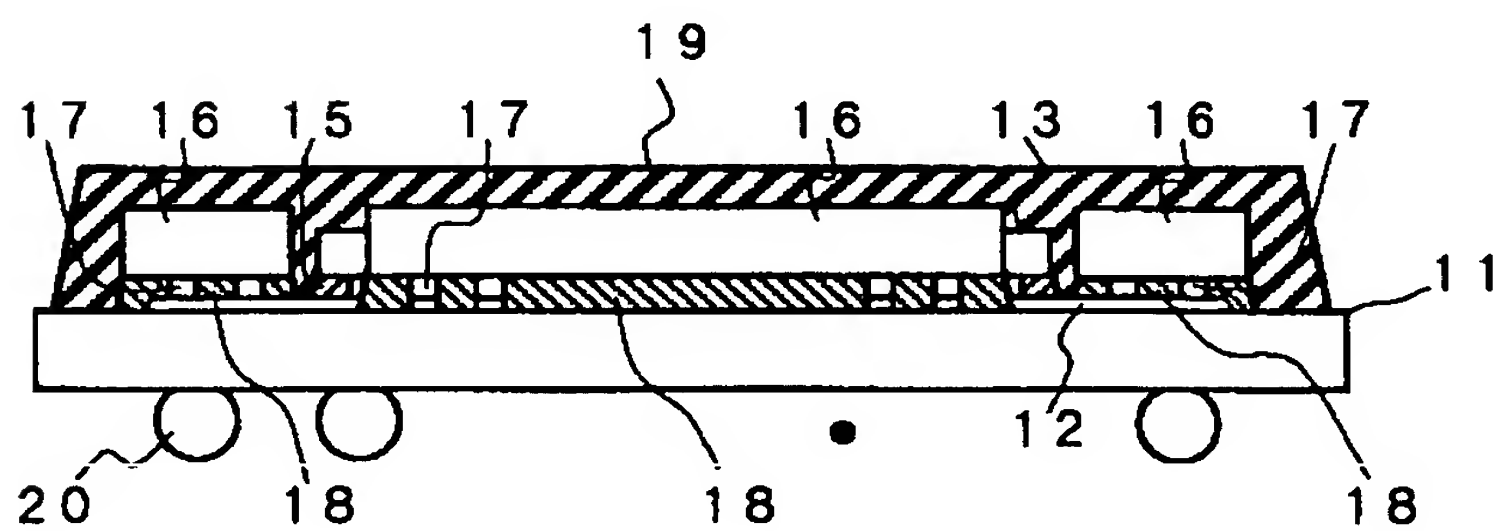


(a)

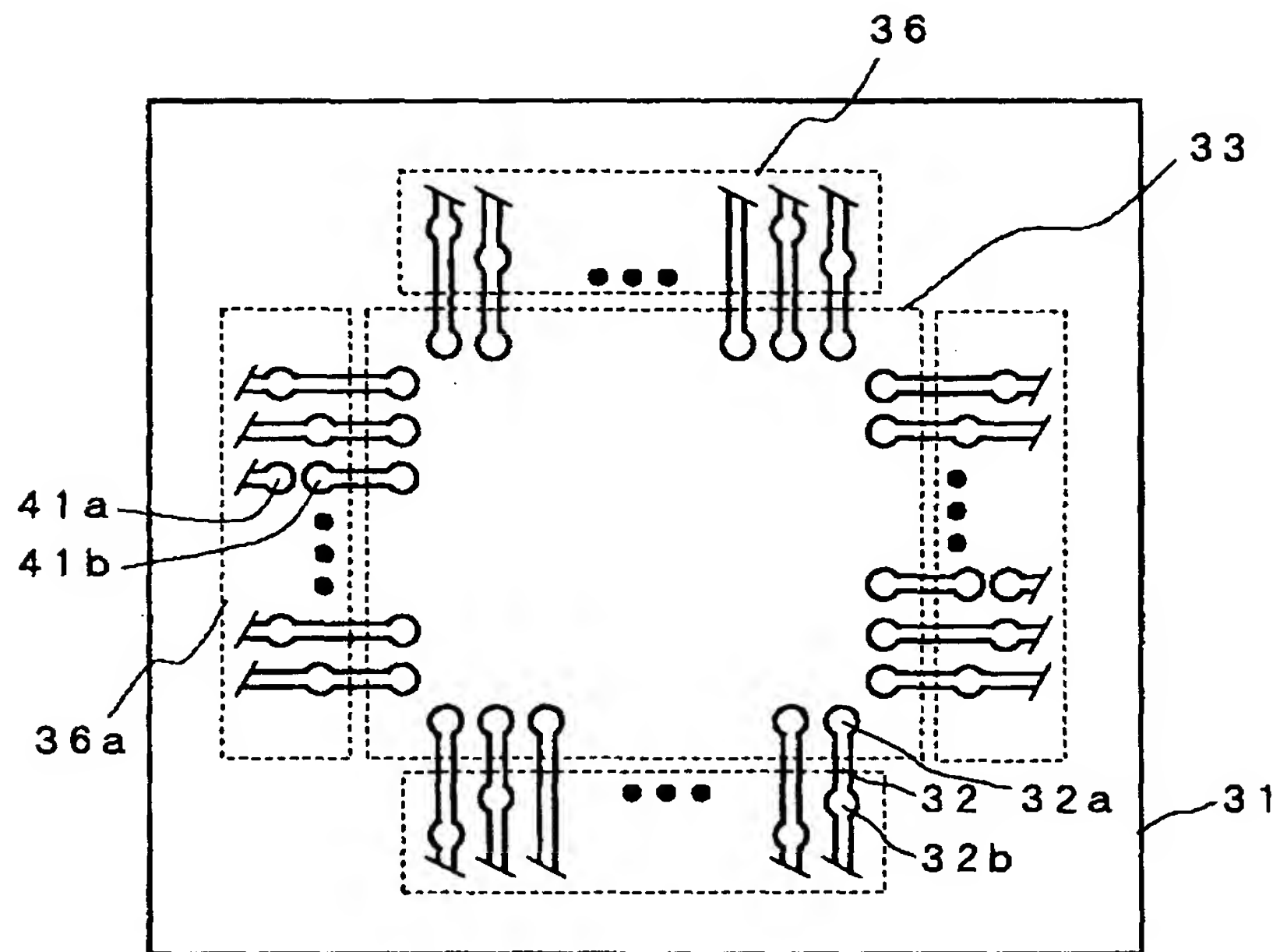


(b)

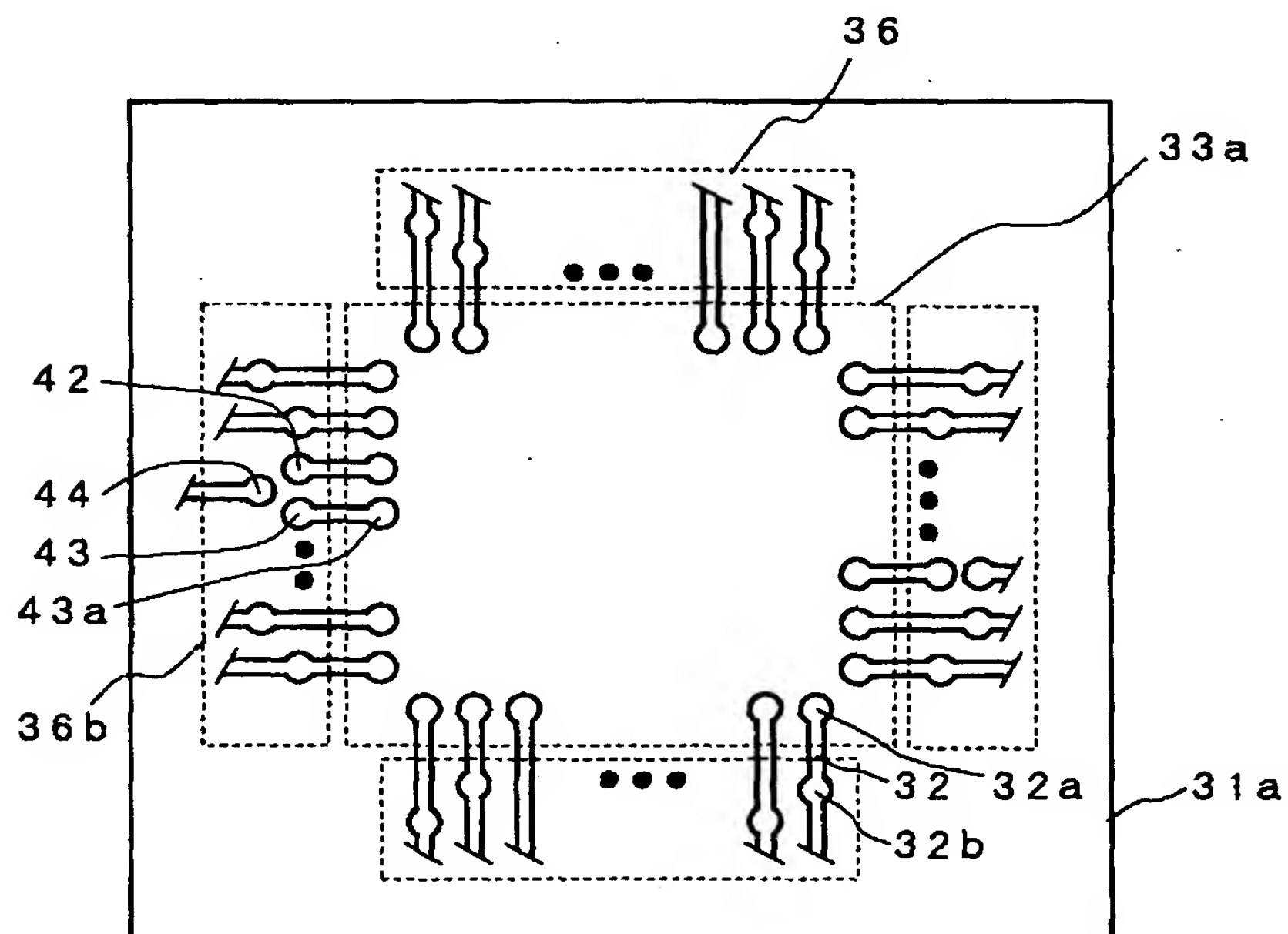
【図 6】



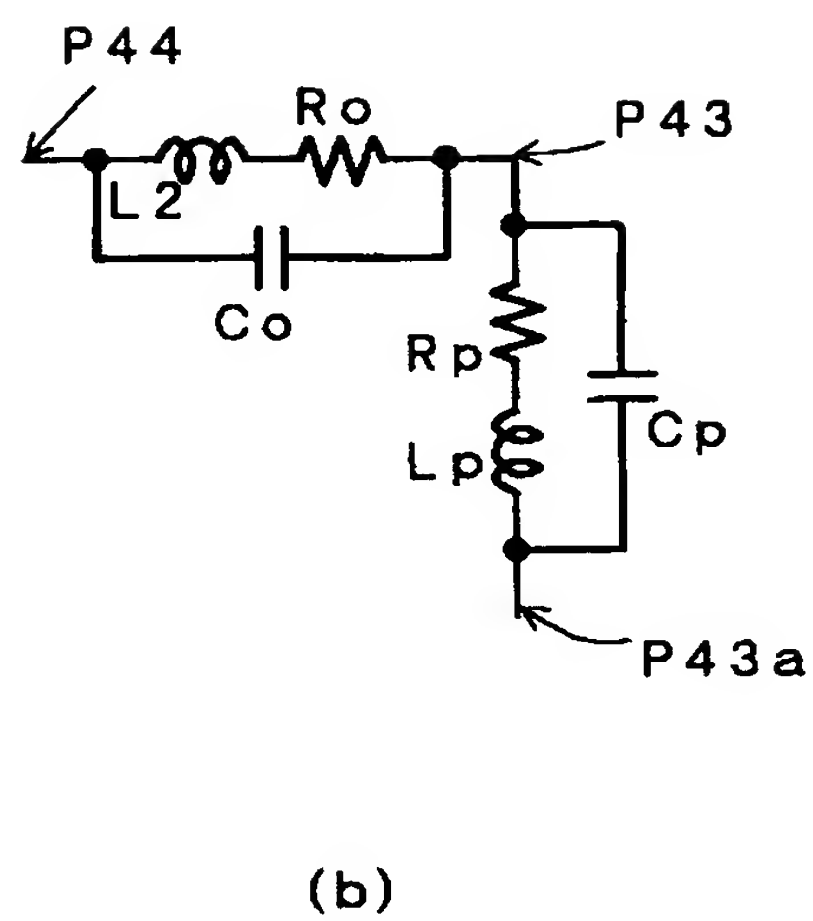
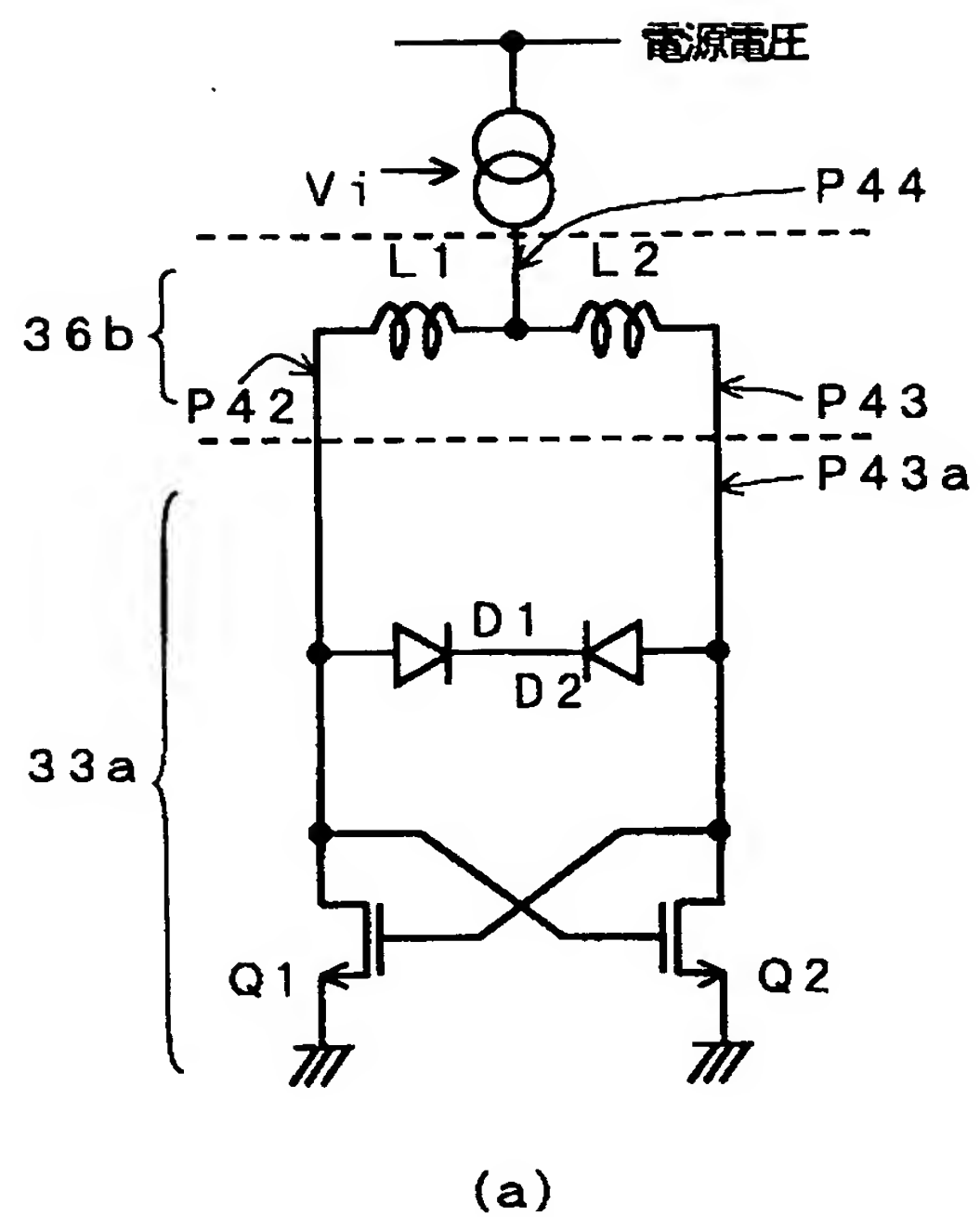
【図 7】



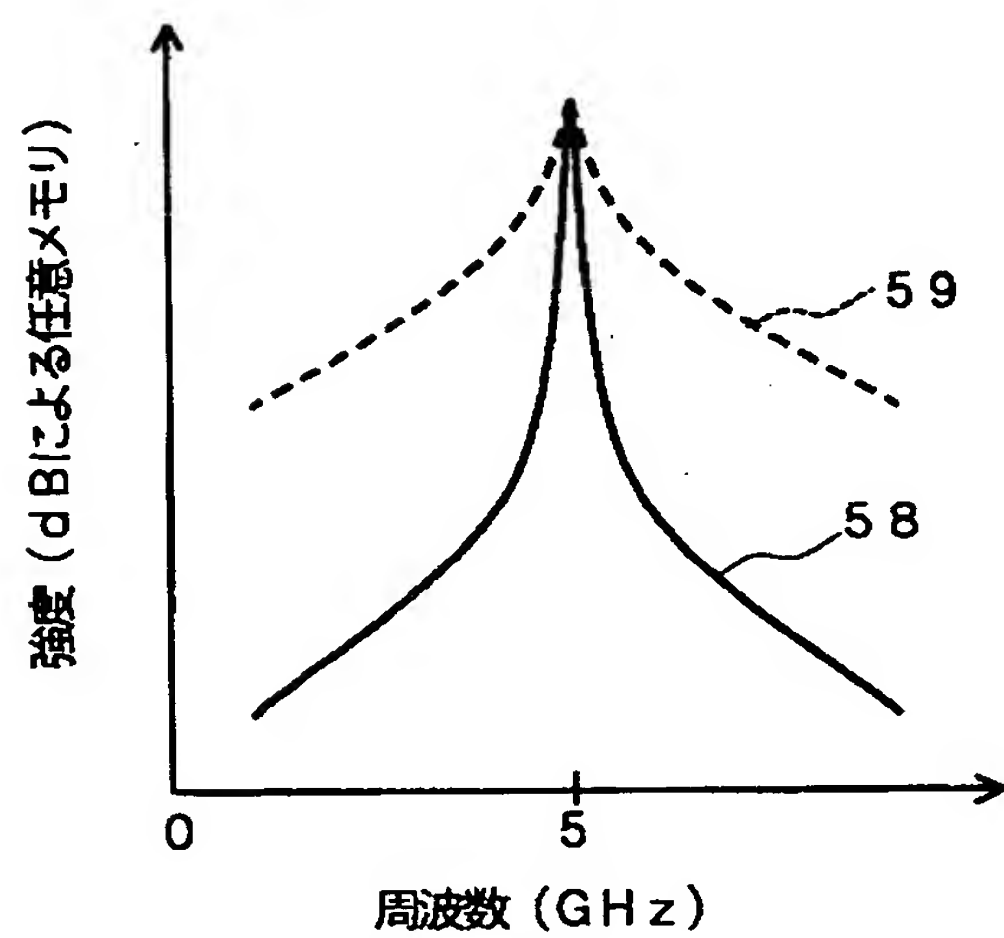
【図 8】



【図 9】

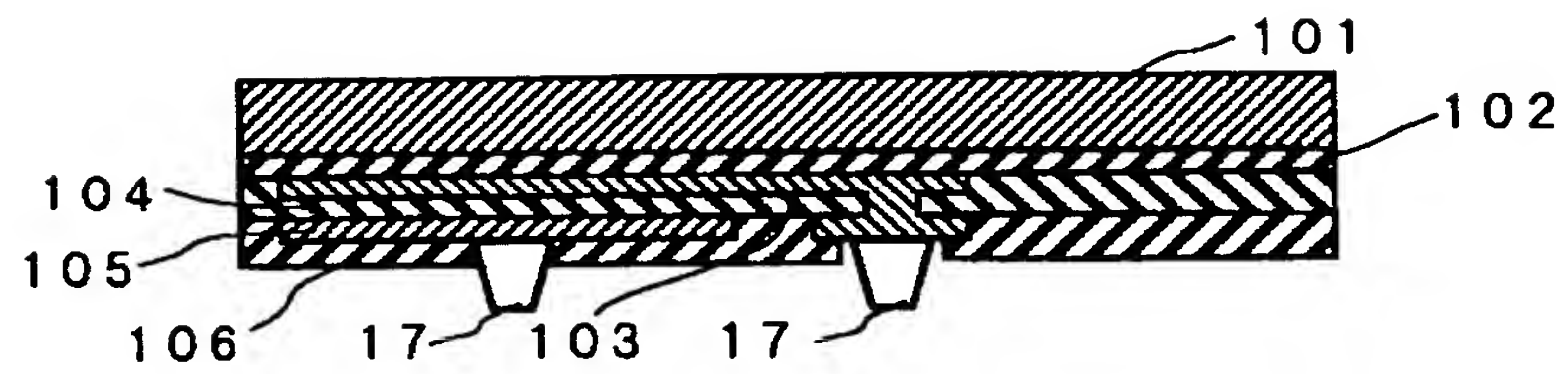


【图 10】

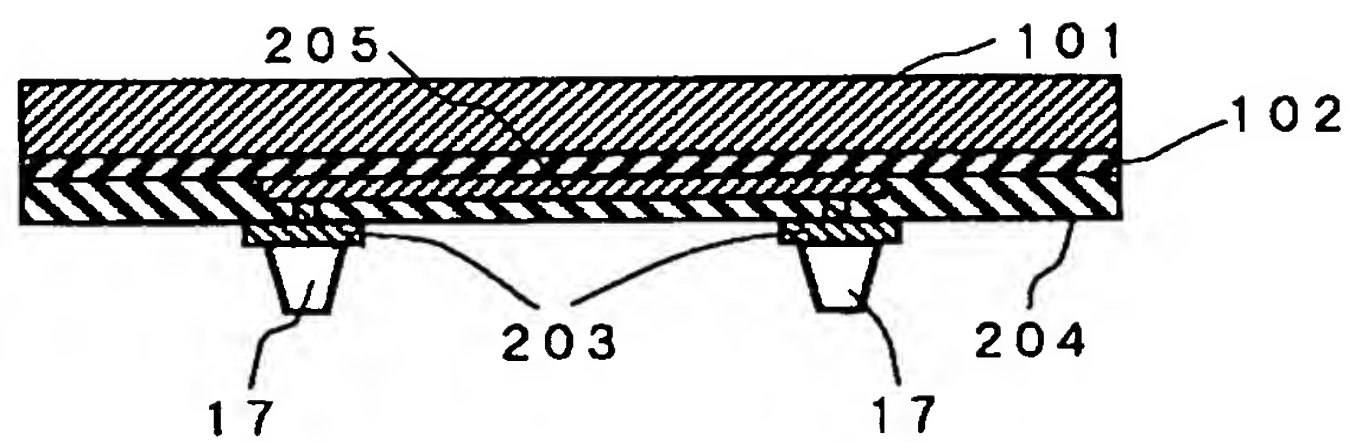




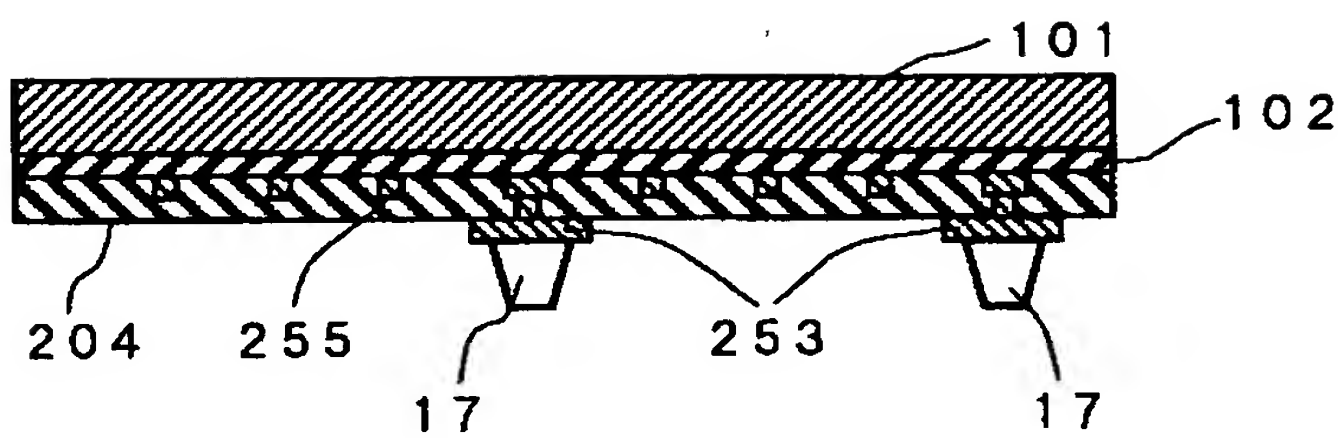
【図 1 1】



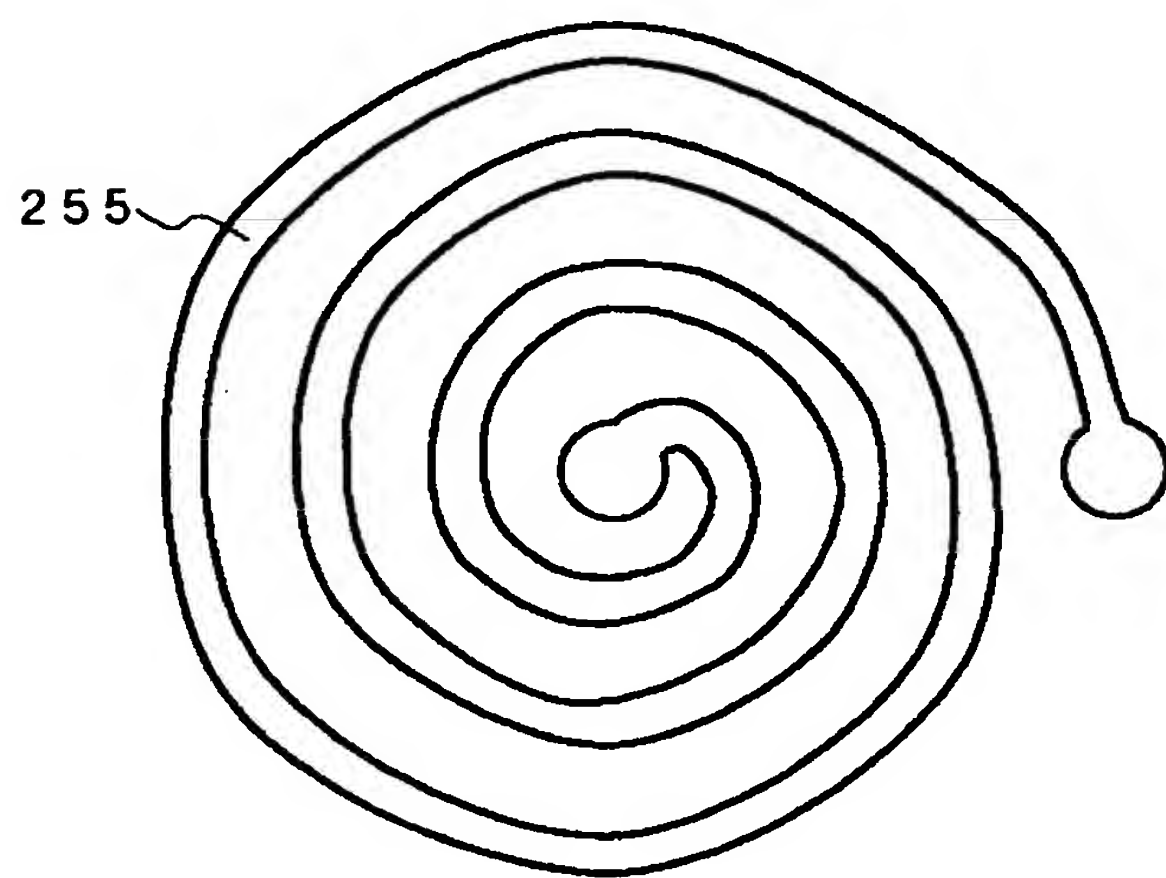
(a)



(b)

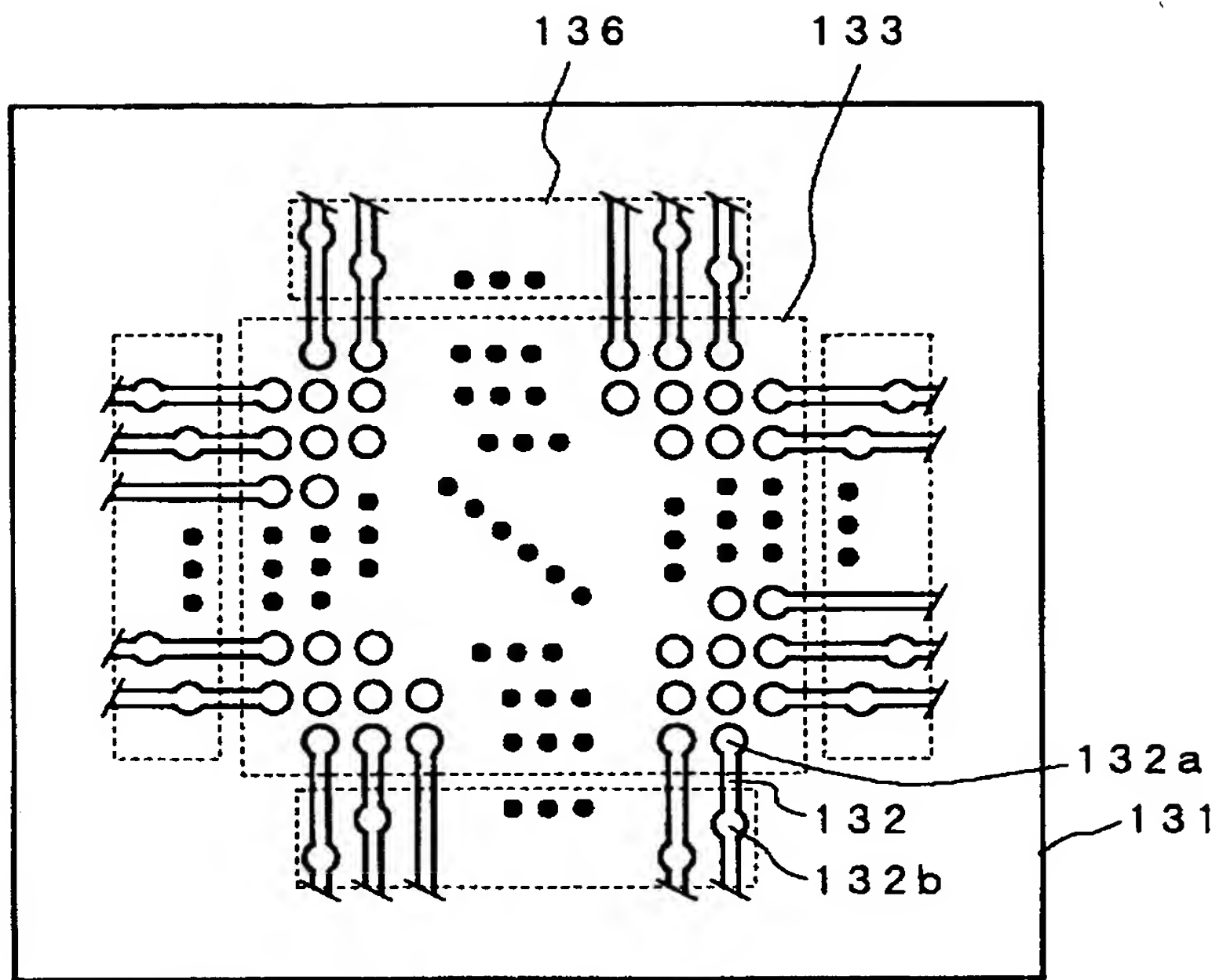


(c1)

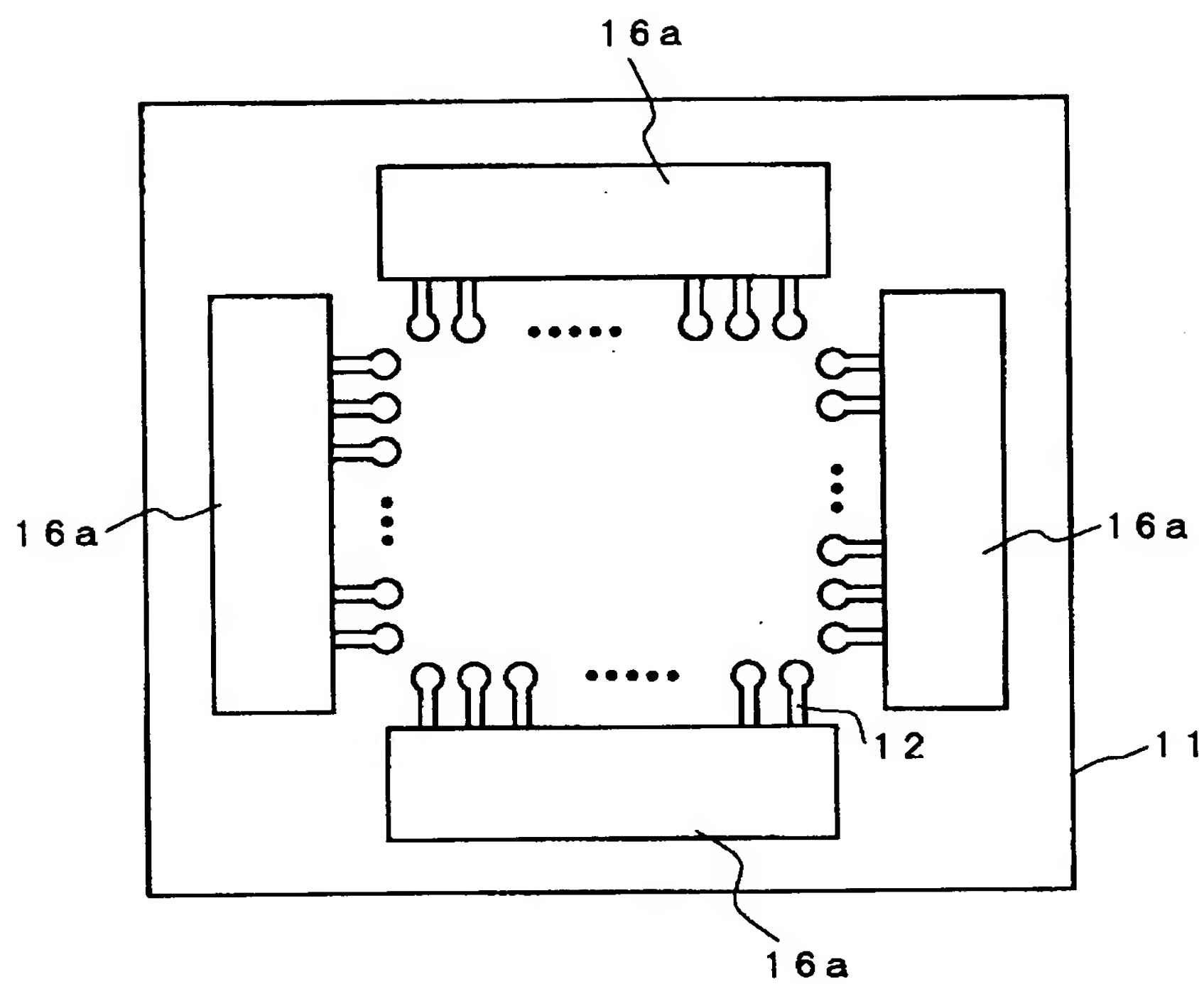


(c2)

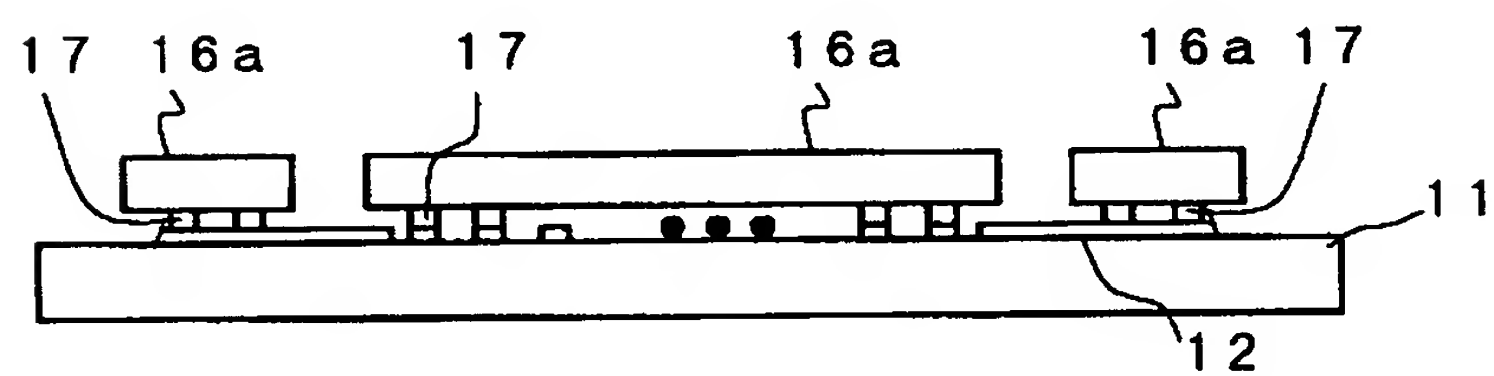
【図 1 2】



【図 13】

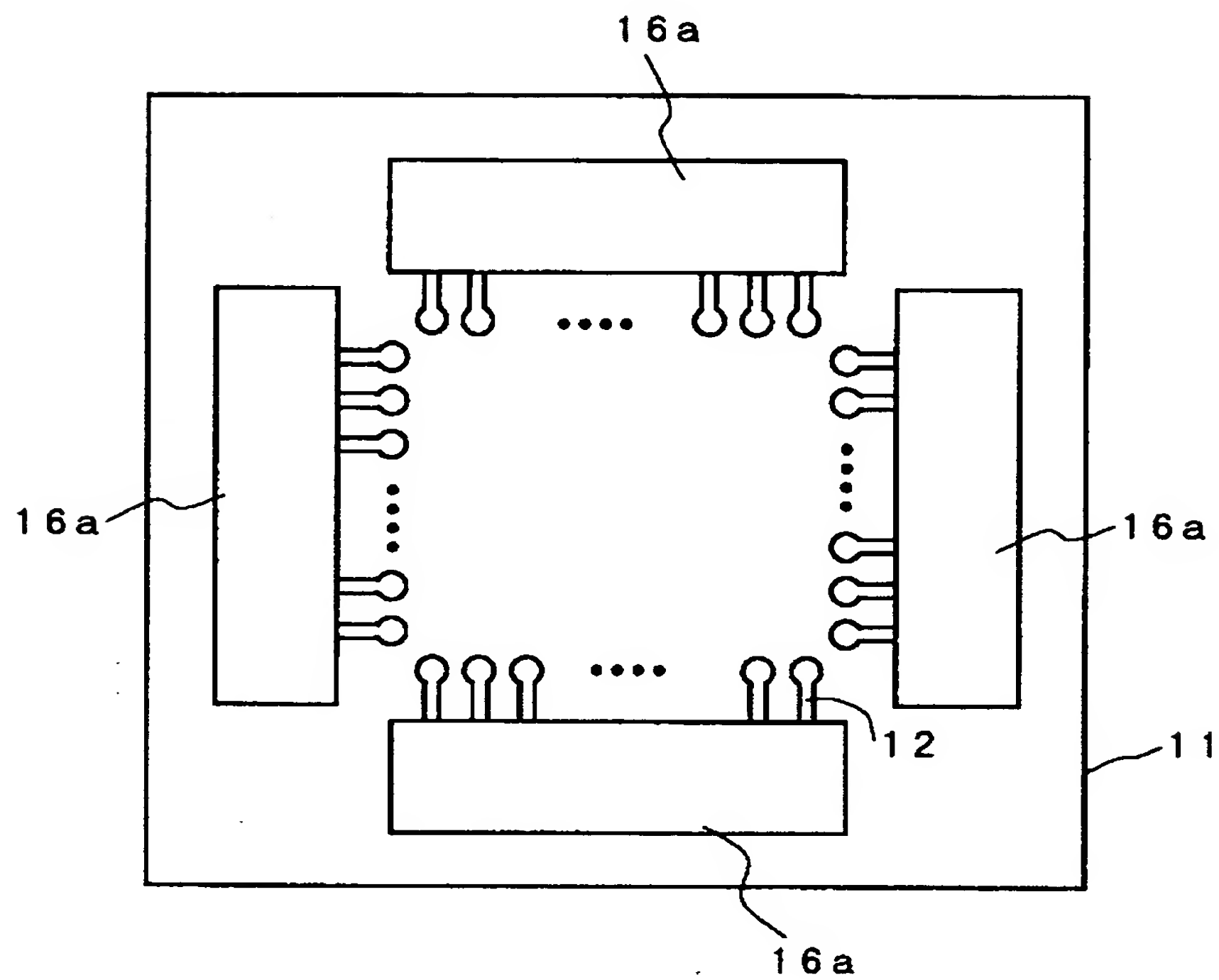


(a)

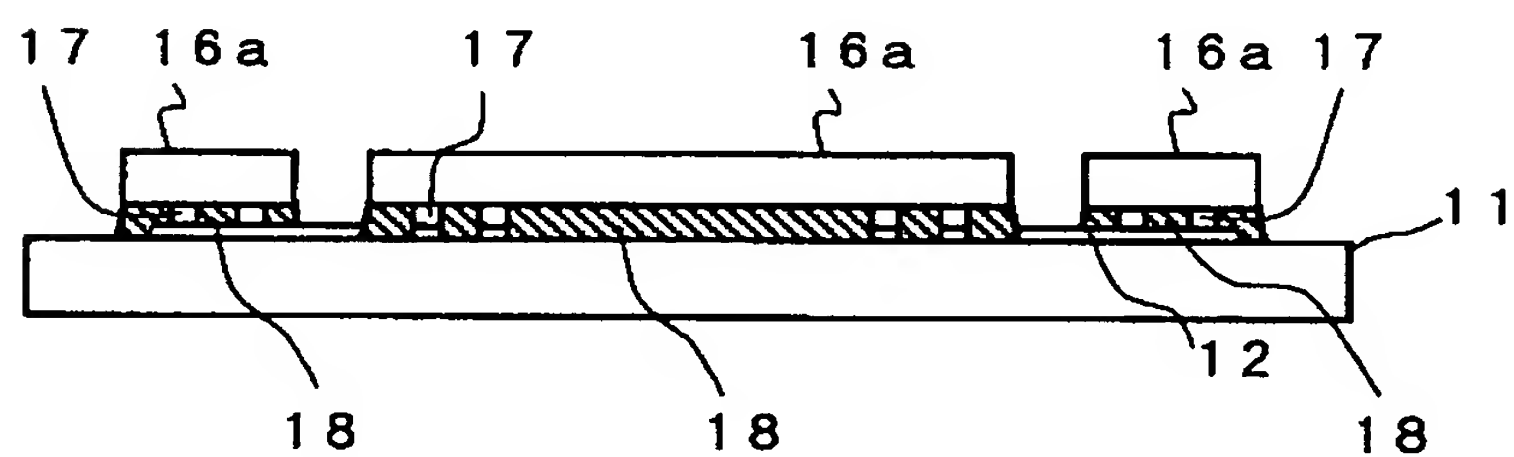


(b)

【図 1 4】

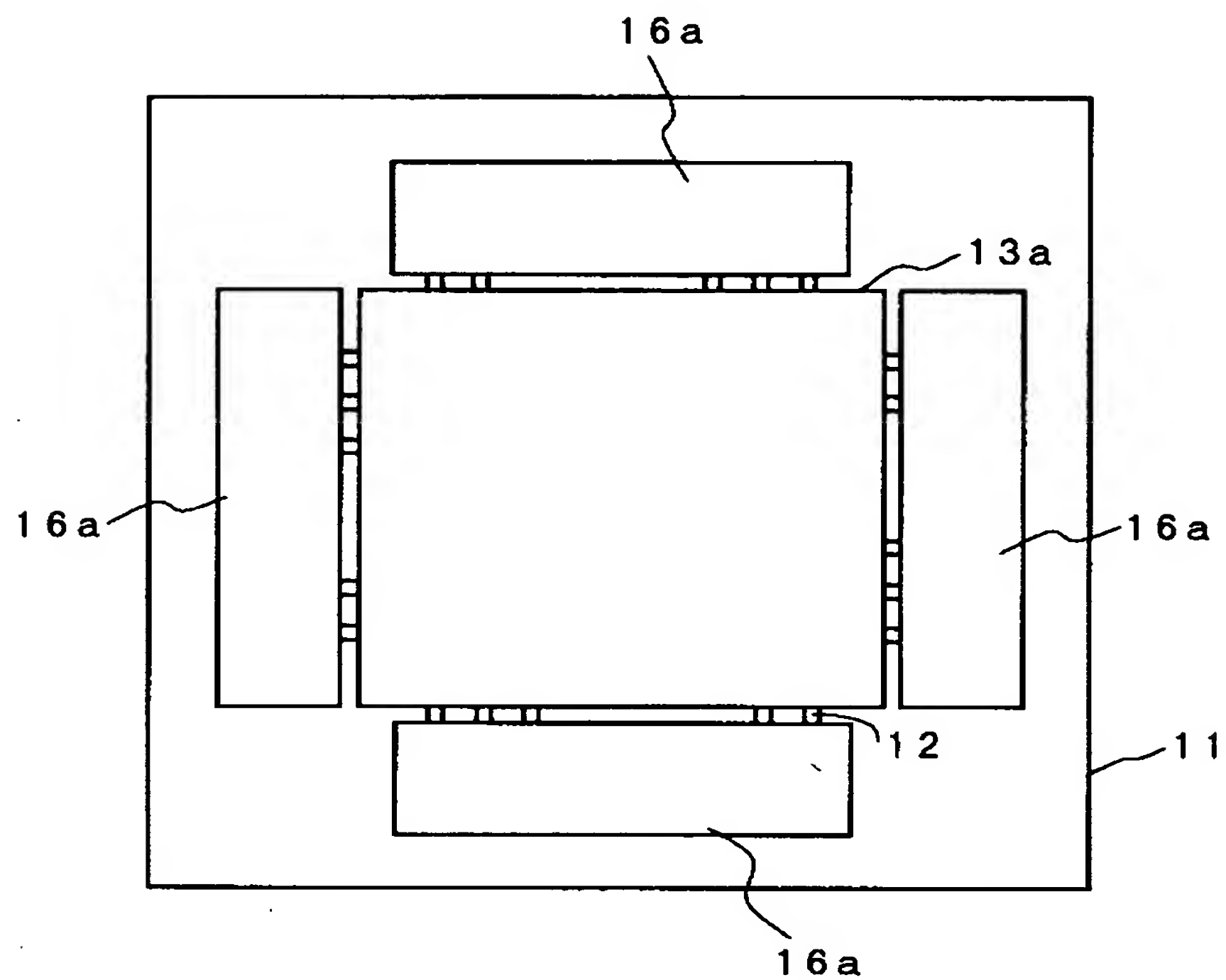


(a)

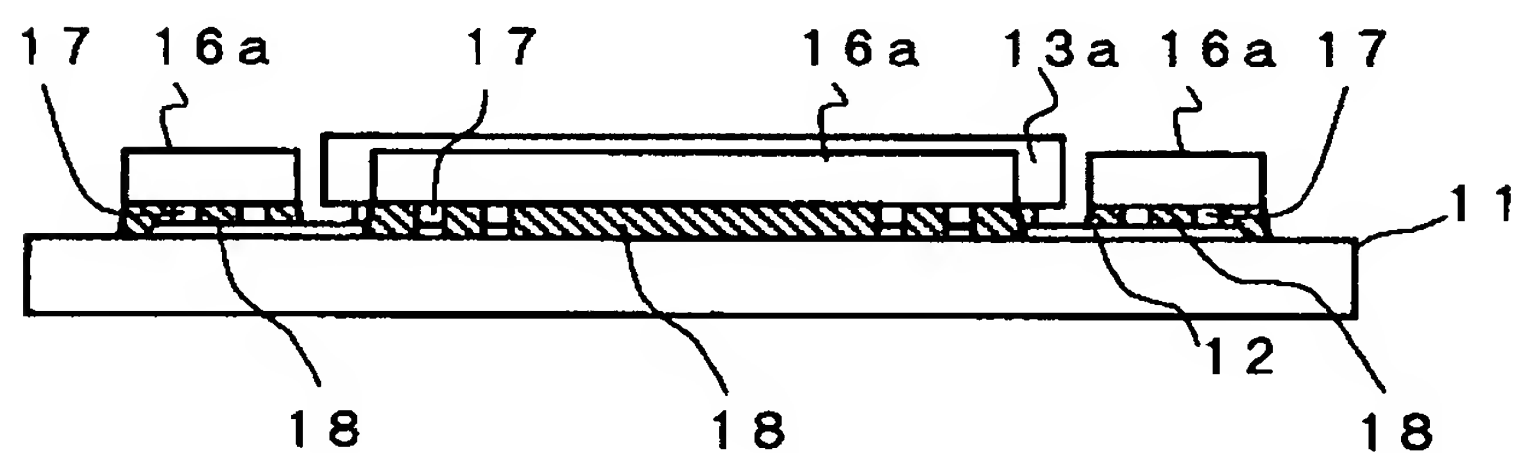


(b)

【図 1 5】

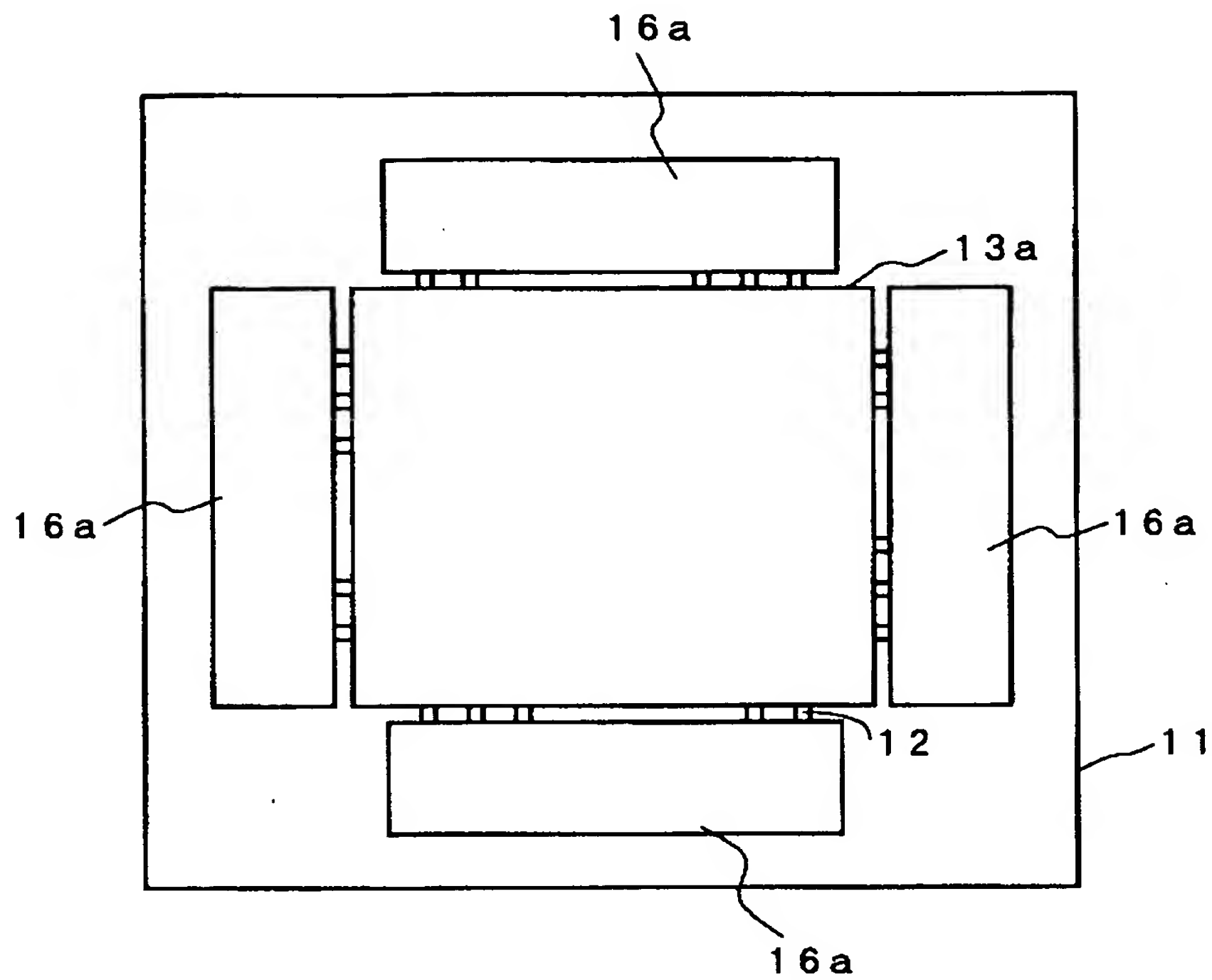


(a)

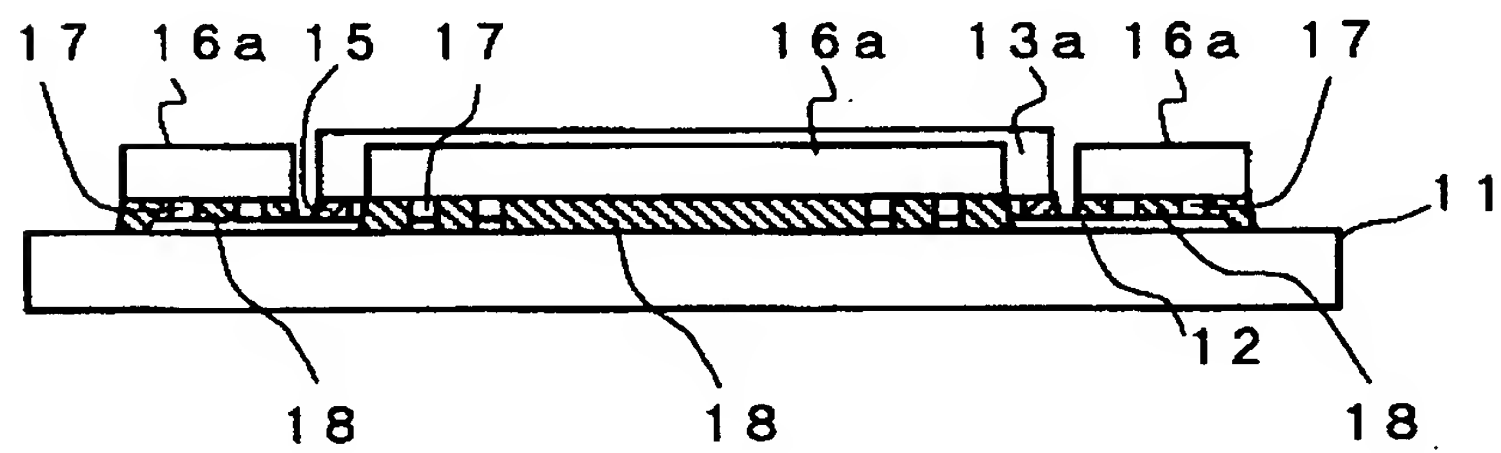


(b)

【図 16】

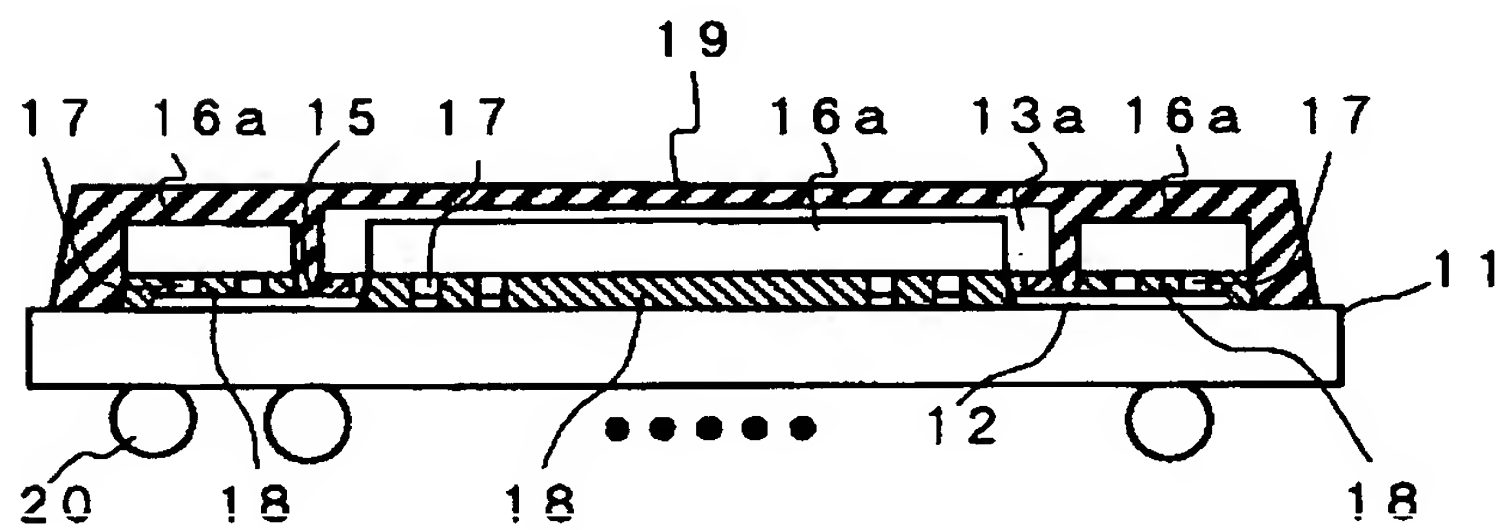


(a)



(b)

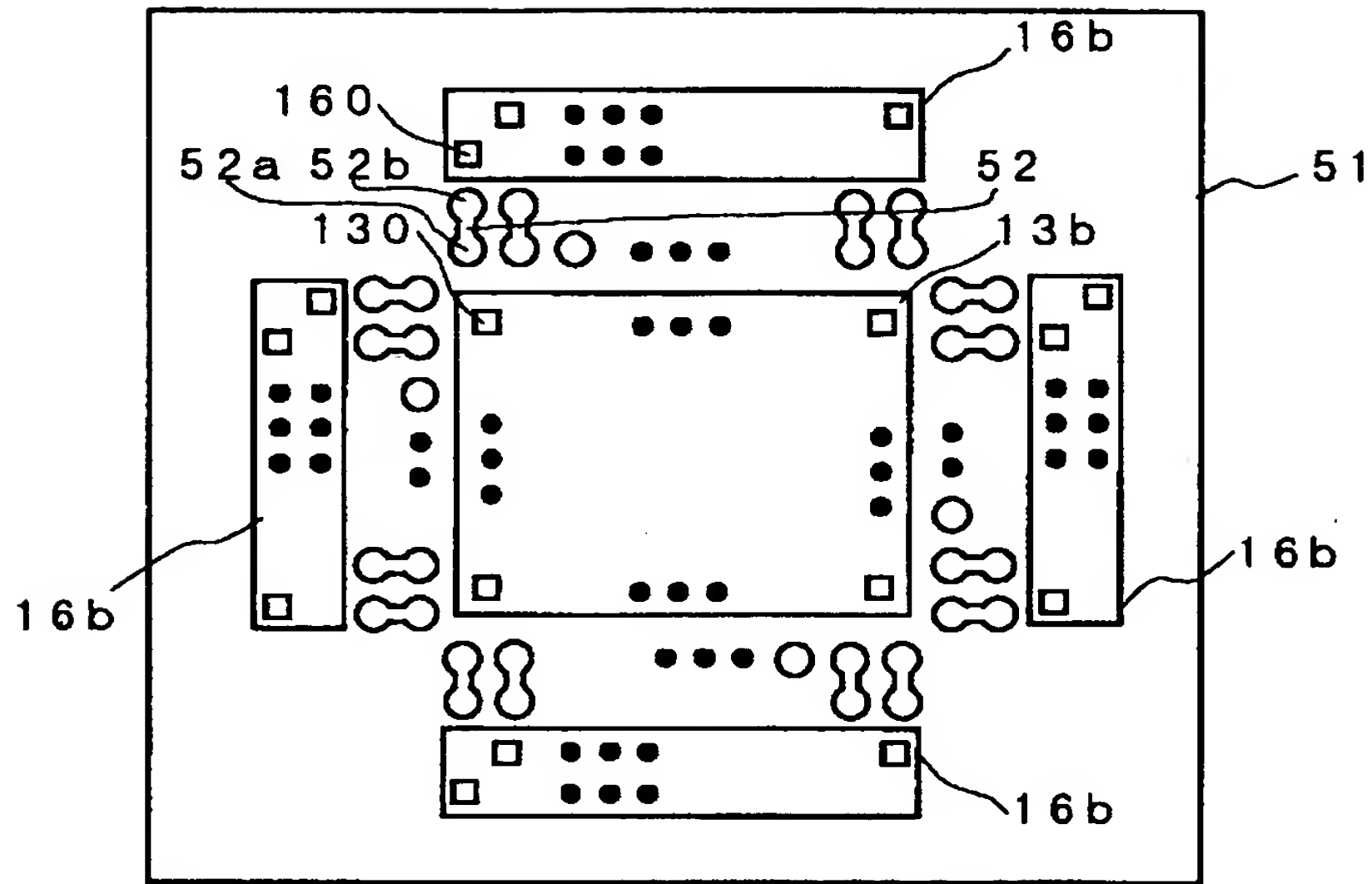
【図 17】



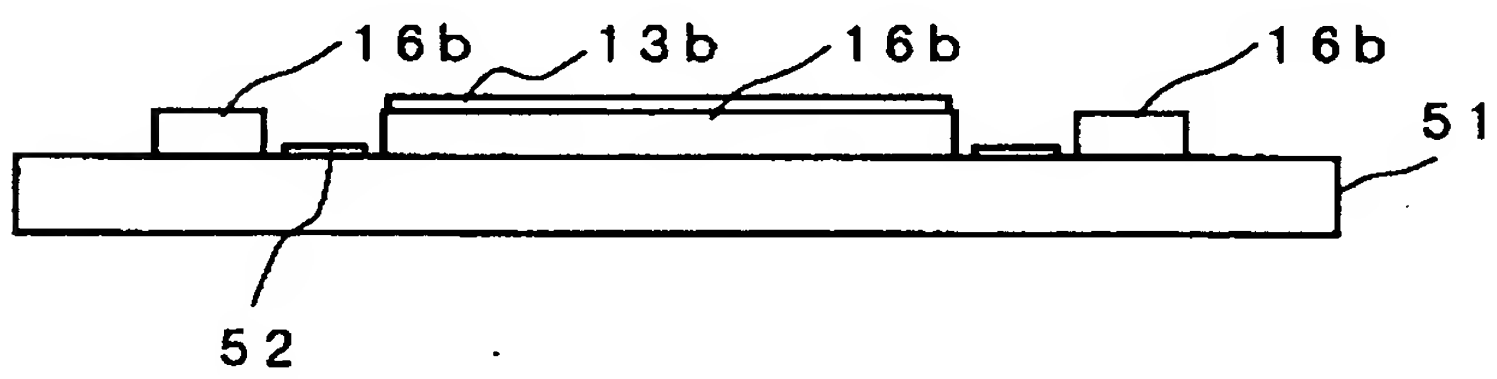
(b)



【図 1 8】

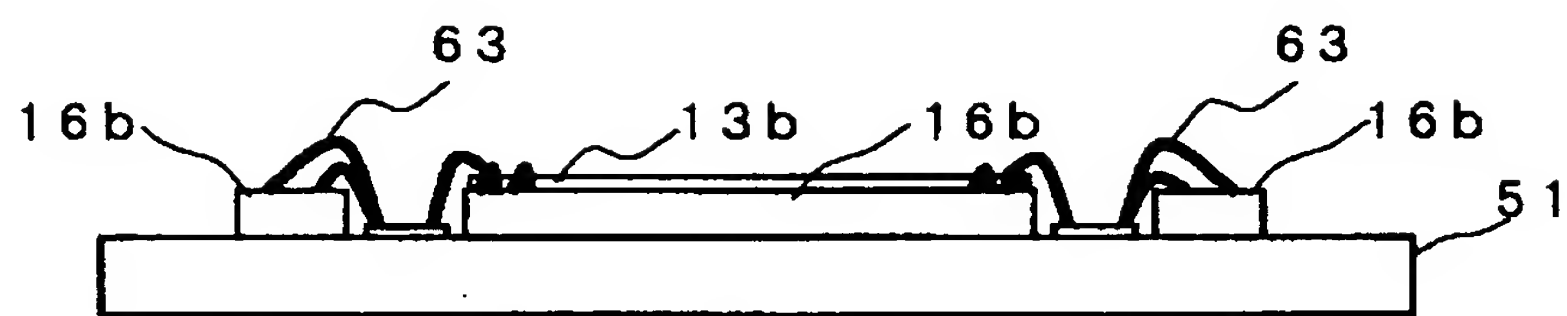


(a)

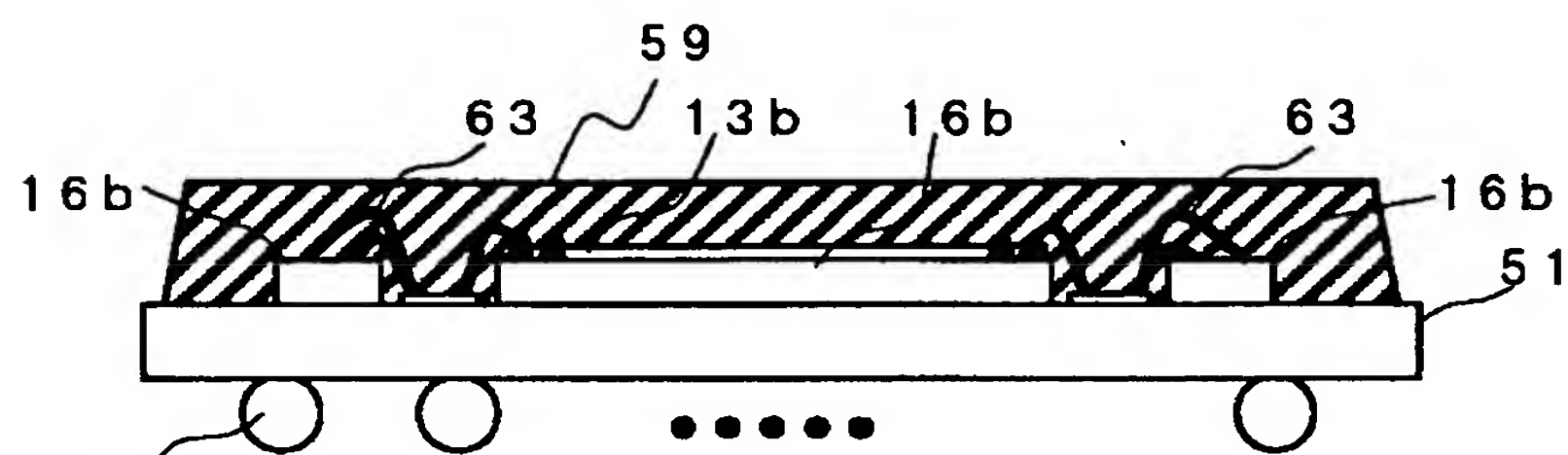


(b)

【図 1 9】

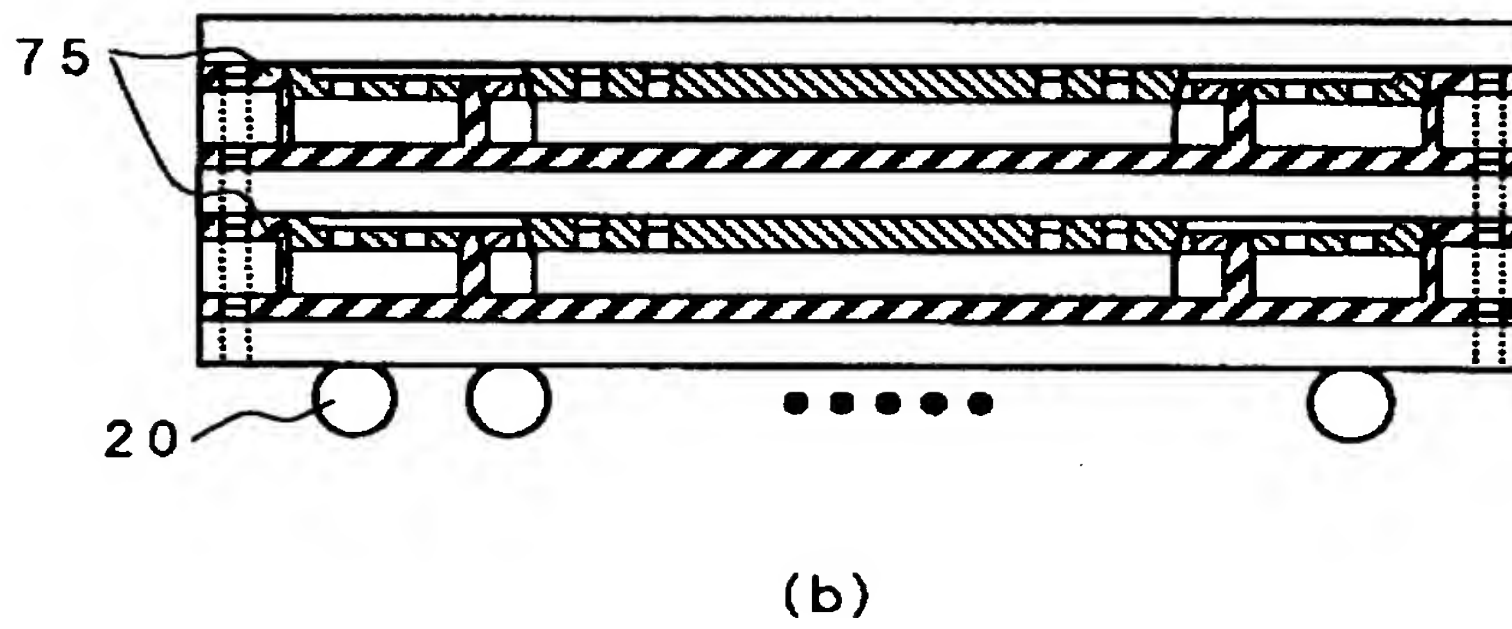
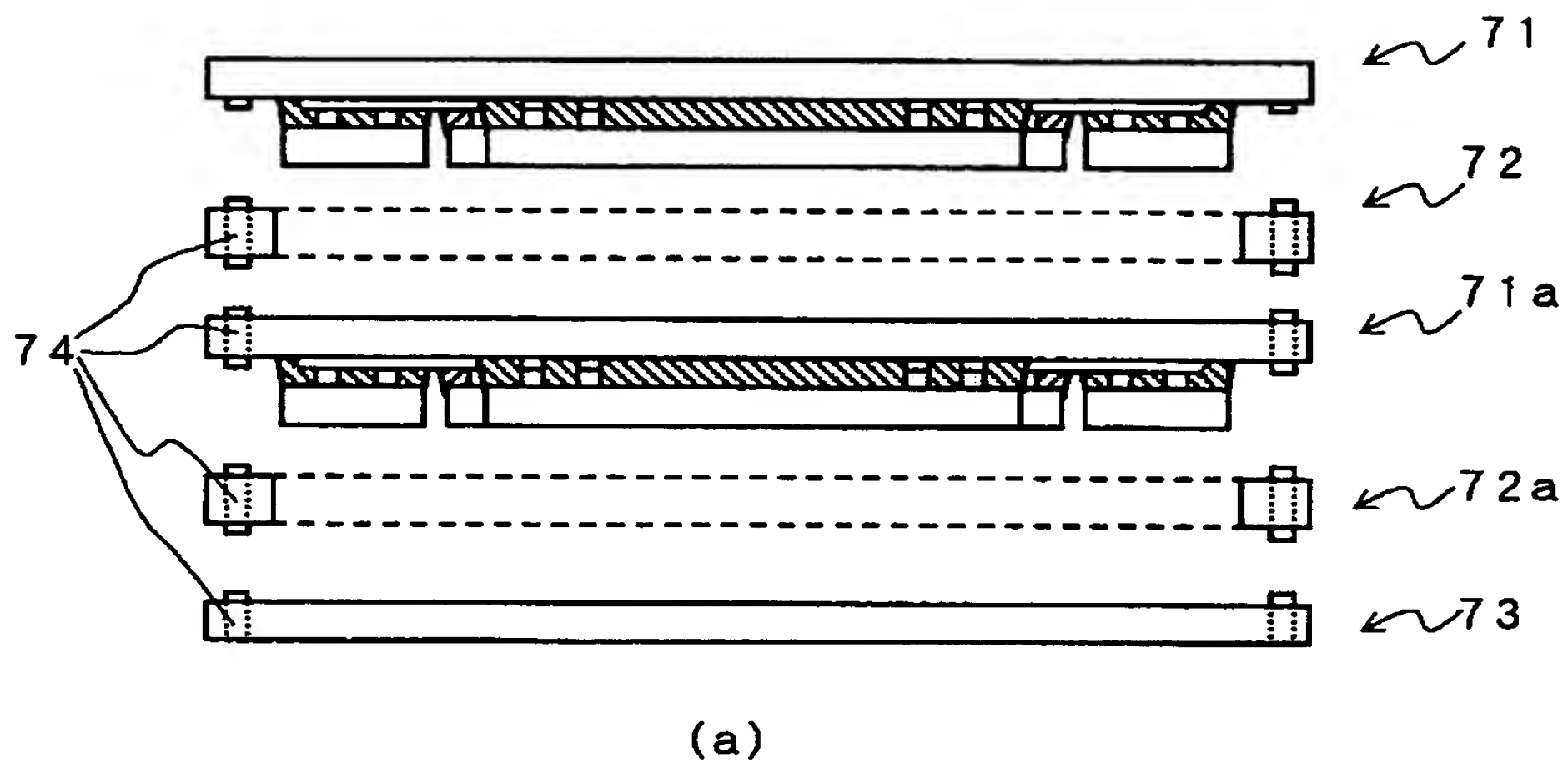


(a)

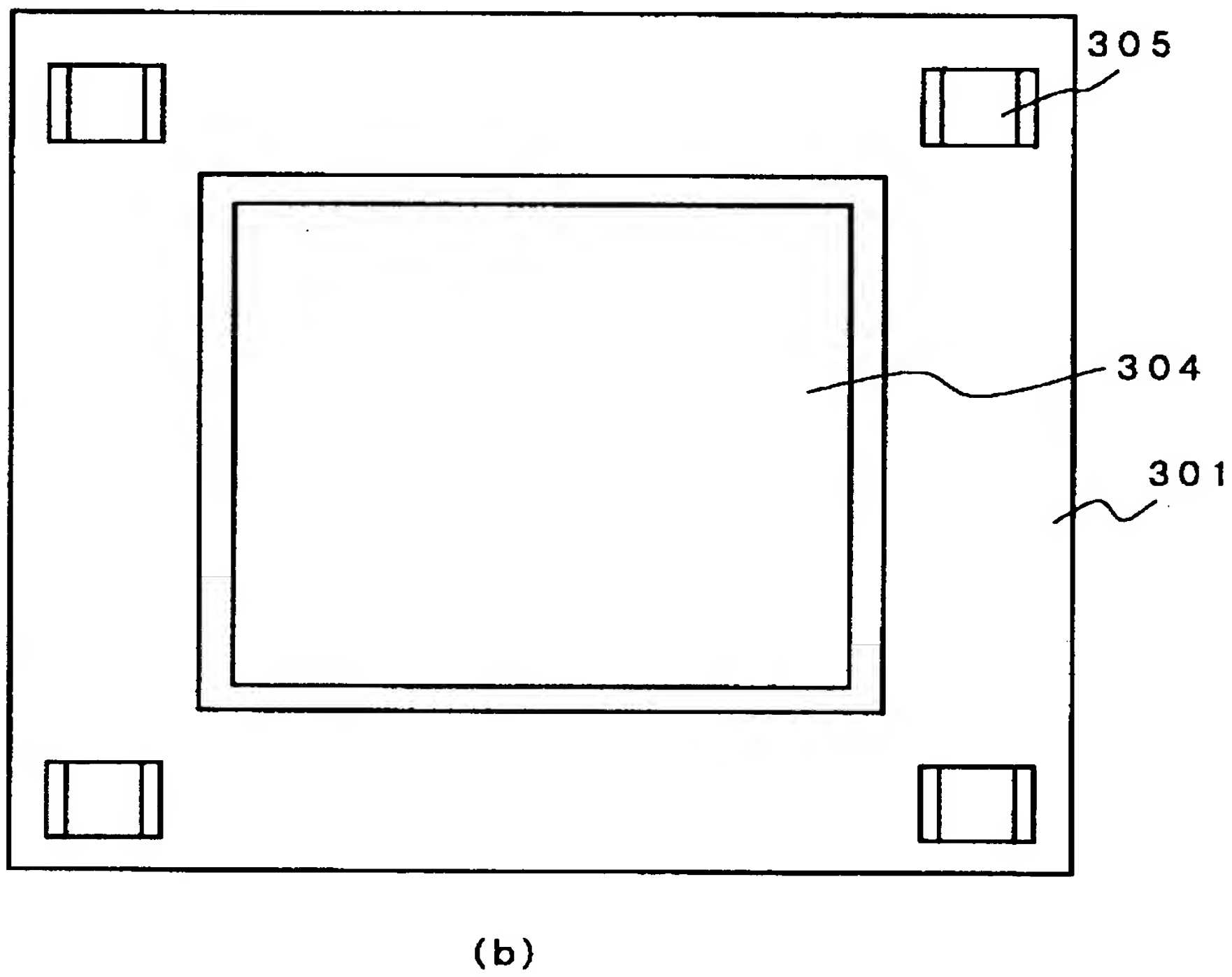
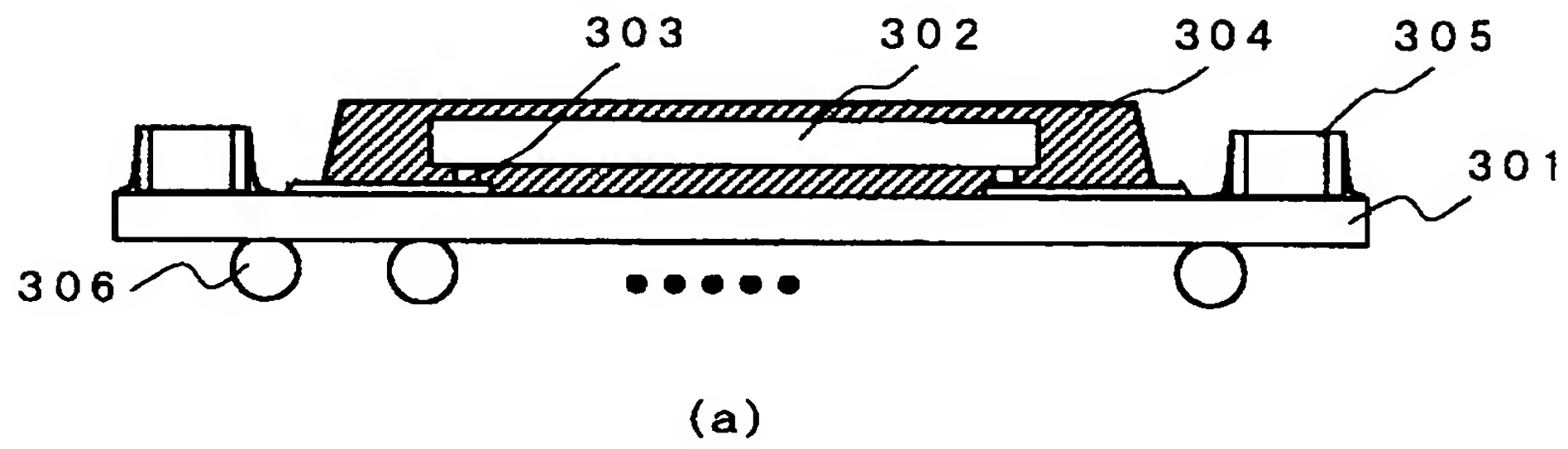


(b)

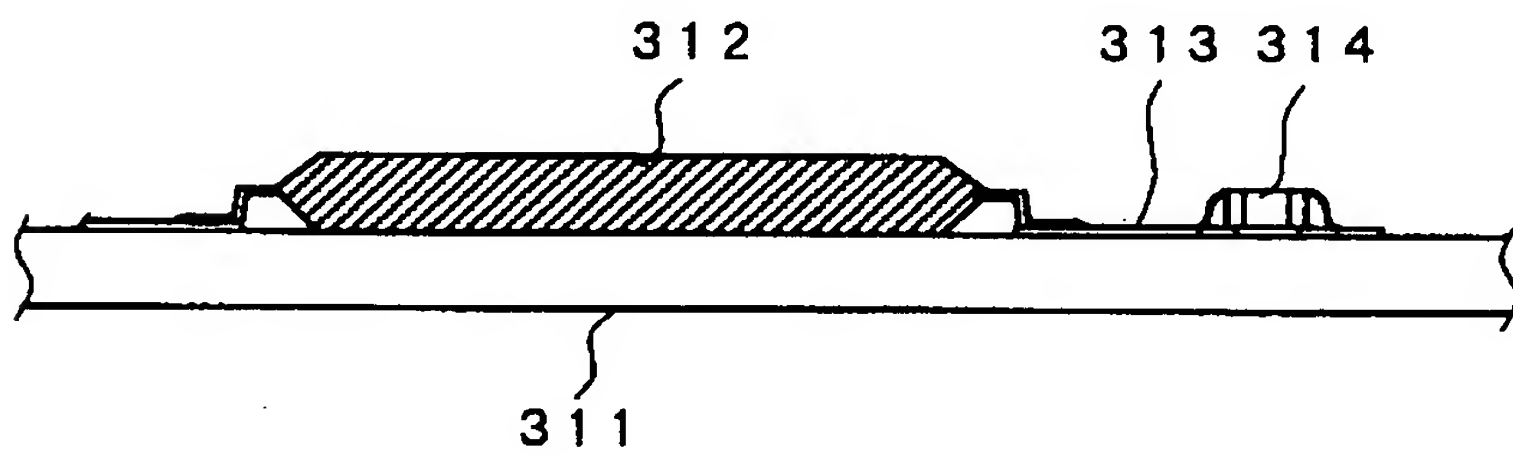
【図 2 0】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 半導体チップとこの半導体チップから電氣的導線を引出すための部材とを有する半導体装置、このような半導体装置に用いられる半導体パッケージ用部材、およびこのような半導体装置の製造方法において、一層の高周波・高速用化を図ること。

【解決手段】 配線基板と、配線基板上に設けられ、配線基板上の配線と電氣的に導通するパッドを有する半導体チップと、配線基板上であって半導体チップの辺に対向する位置に設けられ、受動素子を集積し、かつ受動素子の両端それぞれが外部接続用パッドに接続する構造を有し、かつ外部接続用パッドの少なくとも一方は半導体チップの前記パッドに電氣的に導通する配線基板上の配線に電氣的に導通している第2の半導体チップとを具備する。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日 2 0 0 1 年 7 月 2 日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目 1 番 1 号  
氏 名 株式会社東芝